

SC1281/SC1282 双通道 8 位 1.0/1.5GSps ADC

主要性能

- 卓越的精度和动态性能
 - 低功耗，在较低的采样率下进一步降低
 - 内部端接、缓冲、差分模拟输入
 - SPI 串行控制接口
 - 输出测试模式
 - 1:1 Non-demux 或 1:2 Demux LVDS 输出
- 多芯片系统的自动同步特性
 - 单路 1.9V±0.1V 电源

应用场合

- 数字示波器
- 宽带通信
- 数字采集系统

功能模块示意图

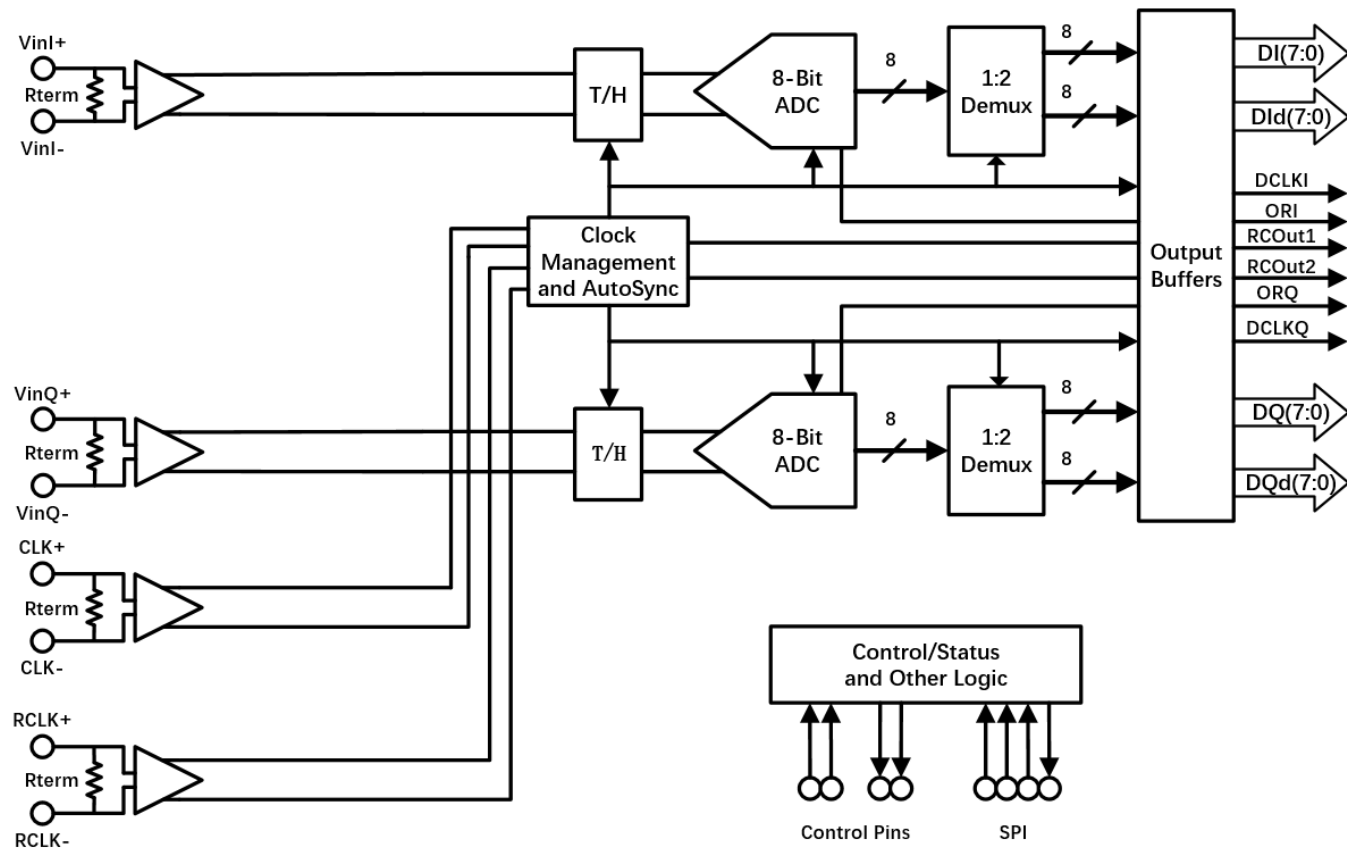


图 1 芯片模块示意图

SC1281/SC1282

产品概况

SC1281/SC1282是采用多级差分流水线架构，内置高性能采样保持电路和片内基准电压源的双通道、8位、1.0/1.5GSPS模数转换器（ADC）。

SC1281/SC1282具有杰出的动态性能与低功耗特性。采用1.9V电源供电，SC1282在输入信号为103MHz，1.5GSPS采样率下，可产生7.9有效位数(ENOB)，同时提供 10^{-18} 的误码率(CER)，在1.5GSPS的Non-demux模式下典型功耗为1.98W。SC1281在输入信号为103MHz，1.0GSPS采样率下，可产生7.95有效位数(ENOB)，在1.0GSPS的Non-demux模式下典型功耗为1.17W。

为方便抓取数据，每个通道都有其独立DDR数据时钟DCLKI和DCLKQ，并且SC1281/SC1282支持1:2 Demux 模式，在该模式下每个通道的第二组8 bit LVDS总线被激活，输出数据速率变为时钟速率的一半。输出格式可以配置为偏移二进制（默认）或二进制补码，并且低电压差分信号（LVDS）数字输出与IEEE 1596.3-1996兼容，可调节的共模电压为0.8V或1.2V。

SC1281/SC1282采用128引脚的QFN封装，额定工业温度范围为-40°C至+ 125°C。

目录

主要性能 1

应用场合 1

功能模块示意图 1

产品概况 2

目录 3

技术规格 4

 ADC 直流特性 4

 ADC 交流特性 6

 数字规格 7

 时序规格 8

极限参数 11

ESD 保护 11

引脚配置及功能说明 12

典型曲线 15

典型应用电路 18

 模拟输入网络 18

 时钟输入网络 18

数字输出 20

寄存器设置 22

 内部寄存器列表 22

应用信息 23

 电源和接地建议 23

 裸露焊盘散热块建议 23

 SPI 端口 23

 数字输出 23

外形尺寸 24

订购信息 25

声明 26

SC1281/SC1282

技术规格

ADC 直流特性

除非另有说明, $V_A=V_{DR}=V_E=1.9V$, 1.0/1.5GSPS 采样, 数字输出总线处于 1:2 Demux 模式, $V_{IN}=-1db$ 差分输入, $T_A=-40^{\circ}C$ 至 $+125^{\circ}C$ 。

表 1 ADC 直流特性

参数	条件	SC1281 ³			SC1282			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率			8			8		位
无失码	全		保证			保证		
失调误差	全		-2			-2		LSB
微分非线性 (DNL) ¹	25°C 全		±0.06	±0.1		±0.15	±0.2	LSB LSB
积分非线性 (INL) ¹	25°C 全		±0.1	±0.3		±0.18	±0.3	LSB LSB
模拟输入范围(V_{IN_FSR})	全	800	1000	1400	800	1000	1400	mV _{p-p}
差分输入电阻(R_{IN})	全	93	100	107	93	100	107	Ω
采样时钟输入范围(V_{IN_CLK})		0.4	0.6	2.0	0.4	0.6	2.0	V _{p-p}
输入共模电压(V_{CMO})	全	1.4	1.45	1.5	1.4	1.45	1.5	V
电源电压(V_A, V_{DR}, V_E)	全	1.8	1.9	2.0	1.8	1.9	2.0	V
V_{BG} 输出电压		1.15	1.25	1.35	1.15	1.25	1.35	V
I_A 电源电流(1:2 Demux): PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		436 247 52			780 413 54		mA mA mA
I_A 电源电流(Non-Demux) ² : PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		436 247 52			774 413 54		mA mA mA
I_{DR} 电源电流(1:2 Demux): PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		194 105 6.8			320 166 7		mA mA mA
I_{DR} 电源电流(Non-Demux) ² : PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		149 82.5 6.8			226 118 7		mA mA mA
I_E 电源电流(1:2 Demux): PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		29.7 17 0			43 24 0		mA mA mA
I_E 电源电流(Non-Demux) ² : PDI=PDQ=Low PDI=Low;PDQ=High PDI=PDQ=High	全 全 全		29.7 17 0			43 24 0		mA mA mA

参数	条件	SC1281 ³			SC1282			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
I _{TOTAL} 总供电电流	全		660	672		1143	1150	mA
P _C 功耗(1:2 Demux):								
PDI=PDQ=Low	全		1.25	1.27		2.17	2.19	W
PDI=Low;PDQ=High	全		0.7			1.15		W
PDI=PDQ=High	全		111			115		mW
P _C 功耗(Non-Demux) ² :								
PDI=PDQ=Low	全		1.17	1.21		1.98	2.01	W
PDI=Low;PDQ=High	全		0.65			1.06		W
PDI=PDQ=High	全		111			115		mW

- 1 测量条件为：1MHz输入频率、直流耦合满量程正弦波。
- 2对于SC1281和SC1282，Non-Demux模式的最大时钟频率测试为1.0 GHz(RX端限制)，对于SC1282设计特性为1.5 GHz。
- 3对于SC1281的低功耗应用，可通过SPI配置寄存器，来提供更低的功耗。

SC1281/SC1282**ADC 交流特性**

除非另有说明, $V_A=V_{DR}=V_E=1.9V$, 1.0/1.5GSPS 采样, 数字输出总线处于 1:2 Demux 模式, $V_{IN}=-1db$ 差分输入, $T_A=-40^{\circ}C$ 至 $+125^{\circ}C$ 。

表 2 ADC 交流特性

参数	条件	SC1281			SC1282			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比 (SNR)								
$f_{in}=103MHz$	25°C		49.6			49.5		dBFS
$f_{in}=275MHz$	25°C		49.5			48.7		dBFS
$f_{in}=435MHz$	25°C		48.8			48.8		dBFS
全		48.5		49	47.7		48.9	dBFS
$f_{in}=780MHz$	25°C		48.2					dBFS
$f_{in}=1.8GHz$	25°C					44.6		dBFS
信纳比 (SNDR)								
$f_{in}=103MHz$	25°C		49.5			49.4		dBFS
$f_{in}=275MHz$	25°C		49.4			48.5		dBFS
$f_{in}=435MHz$	25°C		48.6			48.6		dBFS
全		48.3		48.7	47.5		48.7	dBFS
$f_{in}=780MHz$	25°C		47.9					dBFS
$f_{in}=1.8GHz$	25°C					43.3		dBFS
有效位数 (ENOB)								
$f_{in}=103MHz$	25°C		7.95			7.9		位
$f_{in}=275MHz$	25°C		7.94			7.8		位
$f_{in}=435MHz$	25°C		7.8			7.81		位
全		7.7		7.84	7.6		7.83	位
$f_{in}=780MHz$	25°C		7.7					位
$f_{in}=1.8GHz$	25°C					7.1		位
无杂散动态范围 (三次谐波)								
$f_{in}=103MHz$	25°C		65			63.4		dBc
$f_{in}=275MHz$	25°C		64			62.8		dBc
$f_{in}=435MHz$	25°C		60.5			62.6		dBc
全		59.7		61.7	61.5		62.9	dBc
$f_{in}=780MHz$	25°C		55.2					dBc
$f_{in}=1.8GHz$	25°C					48.9		dBc
无杂散动态范围 (二次谐波)								
$f_{in}=103MHz$	25°C		79			79		dBc
$f_{in}=275MHz$	25°C		75			75		dBc
$f_{in}=435MHz$	25°C		61			63		dBc
全		60		62	60		65	dBc
$f_{in}=780MHz$	25°C		57					dBc
$f_{in}=1.8GHz$	25°C					50		dBc

数字规格

除非另有说明，VA=VDR=VE=1.9V，1.0/1.5GSPS 采样，数字输出总线处于 1:2 Demux 模式，VIN=-1db 差分输入，TA=-40°C 至+125°C。

表 3 数字规格参数

参数	条件	SC1281			SC1282			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
数字控制输入 (DES,PDI,PDQ,NDM,DDRPh,EC,SClk,SDI,SCS) 逻辑 1 电压 逻辑 0 电压 输入电容		0.7xVA	1.5	0.3xVA	0.7xVA	1.5	0.3xVA	V V pF
数字输出(Data,DCLKI,DCLKQ,ORI,ORQ) 差分输出电压 VBG=Floating VBG=VA 输出失调电压 VBG=Floating VBG=VA 输出短路电流 差分输出阻抗 逻辑 1 电压 逻辑 0 电压	全 25°C 25°C 25°C 25°C 25°C 25°C 25°C	260	400 600	560	260	400 600	560	mVp-p mVp-p V V mA Ω V V
差分 DCLK 复位引脚 (DCLK_RST) DLCK_RST 共模输入电压 差分 DCLK_RST 输入电压 差分 DCLK_RST 输入电阻	25°C 25°C 25°C		1.25±0.15 VIN_CLK 100			1.25±0.15 VIN_CLK 100		V Vp-p Ω

SC1281/SC1282

时序规格

除非另有说明，VA=VDR=VE=1.9V，1.0/1.5GSPS 采样，数字输出总线处于 1:2 Demux 模式，VIN=-1db 差分输入，TA=-40°C 至+125°C。

表 4 工作时序参数

参数	条件	SC1281			SC1282			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
采样时钟(CLK)								
采样时钟频率	全	200		1000	200		1500	MHz
采样时钟占空比	全	45	50	55	45	50	55	%
采样时钟低电平脉冲宽度 t _{CL}	全	200	500		133	333		ps
采样时钟高电平脉冲宽度 t _{CH}	全	200	500		133	333		ps
数据时钟(DCLKI,DCLKQ)								
DCLK 占空比	全	45	50	55	45	50	55	%
DCLK_RST±建立时间 t _{SR}	25°C		45			45		ps
DCLK_RST±保持时间 t _{HR}	25°C		45			45		ps
DCLK_RST±脉冲宽度 t _{PWR}	全	5			5			Cycles
DCLK 同步延迟 t _{SYNC_DLY} (90° Mode)	全	4			4			Cycles
DCLK 同步延迟 t _{SYNC_DLY} (0° Mode)	全	5			5			Cycles
差分低到高转变时间 t _{LHT}	25°C		220			220		ps
差分高到低转变时间 t _{HLT}	25°C		220			220		ps
数据到 DCLK 建立时间 t _{SU} (90° Mode)	25°C		850			545		ps
DCLK 到数据保持时间 t _H (90° Mode)	25°C		850			570		ps
DCLK 到数据输出偏差 t _{OSK}	25°C			±50			±50	ps
孔径延时 t _{AD}			1.1			1.1		ns
孔径抖动 t _{AJ}			0.2			0.2		ps(rms)
采样时钟到数据输出的延时 t _{OD}			2.4			2.4		ns
超量程恢复时间 t _{ORR}			1			1		Cycles
唤醒时间 t _{WU}			500			500		ns

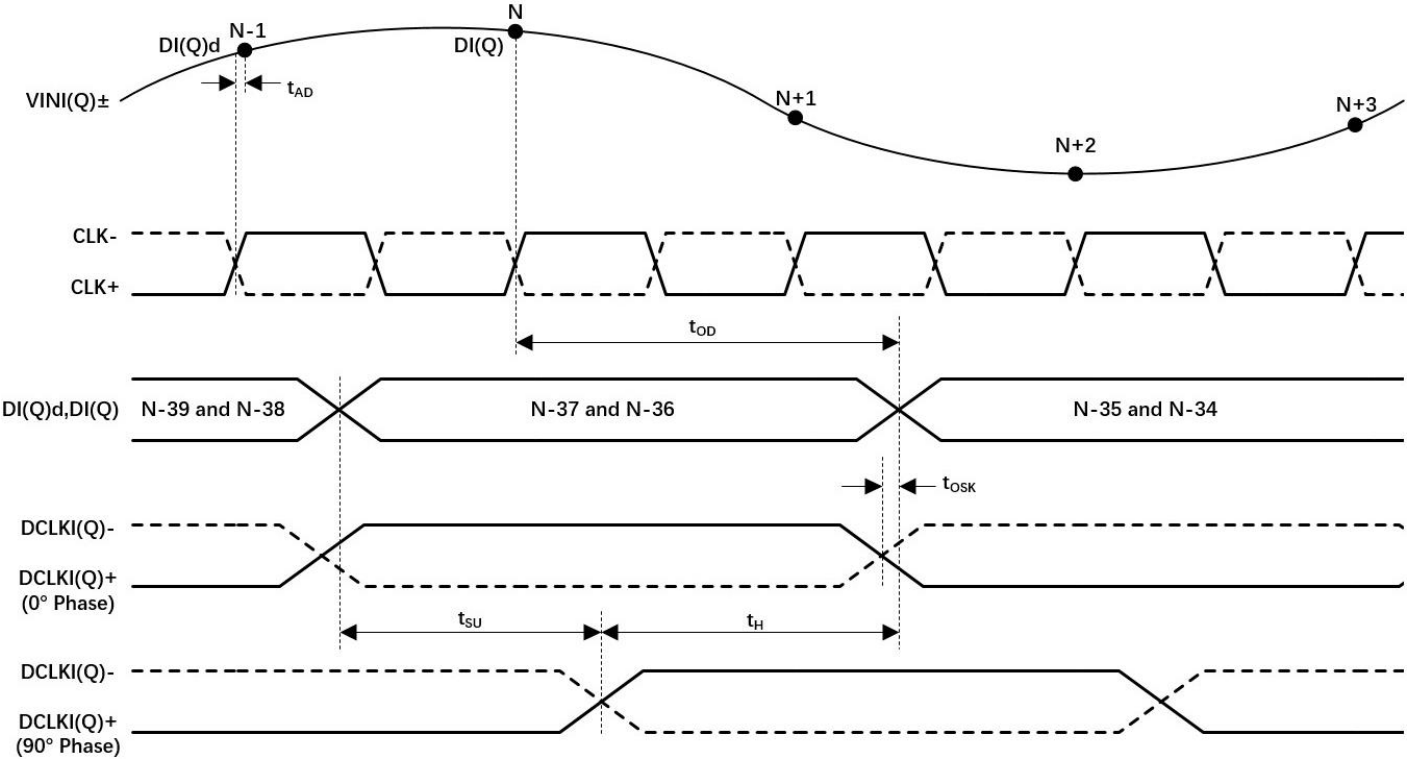


图 2 数字输出 1:2 Demux 模式时序图

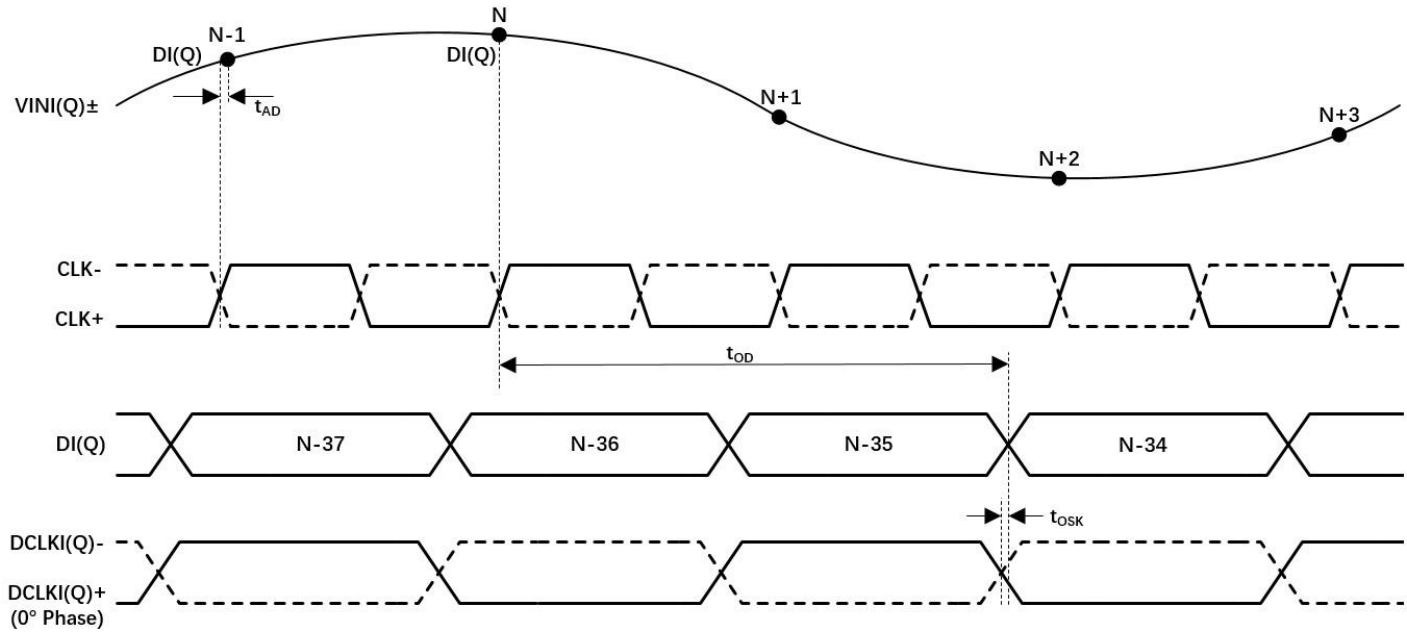


图 3 数字输出 Non-Demux 模式时序图

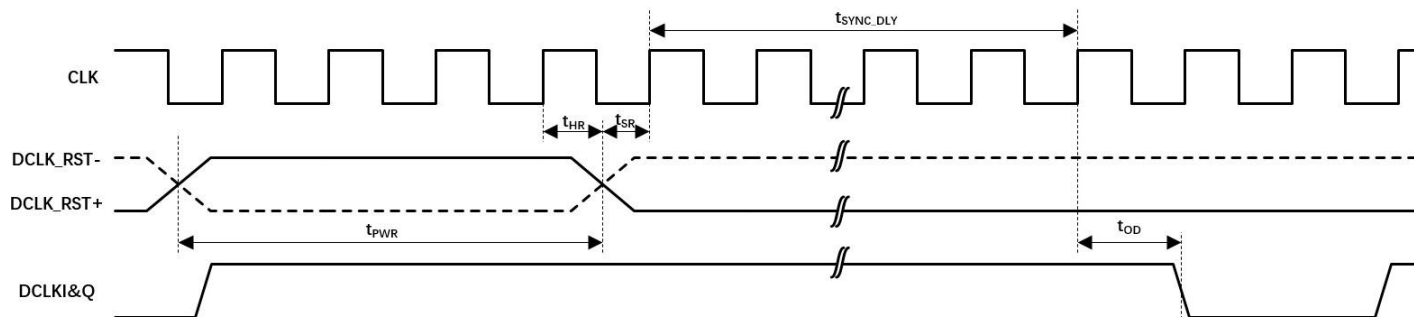


图 4 数据时钟复位时序图

表 5 SPI 时序参数

参数	最小值	典型值	最大值	单位	描述
t_{DS}	2			ns	数据与 SCLK 上升沿之间的建立时间
t_{DH}	2			ns	数据与 SCLK 上升沿之间的保持时间
t_{CLK}	40			ns	SCLK 周期
t_S	2			ns	SCS 与 SCLK 之间的建立时间
t_H	2			ns	SCS 与 SCLK 之间的保持时间
t_{HIGH}	10			ns	SCLK 高电平脉冲宽度
t_{LOW}	10			ns	SCLK 低电平脉冲宽度

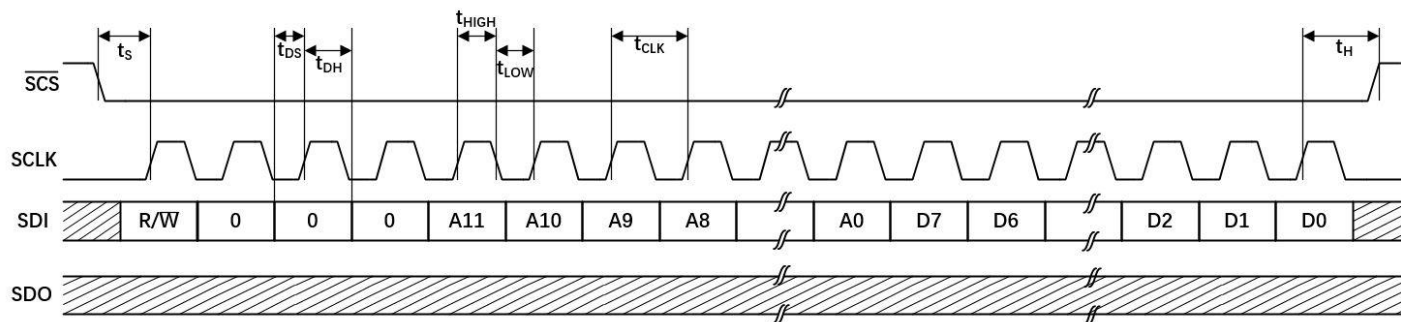


图 5 串行端口写入时序

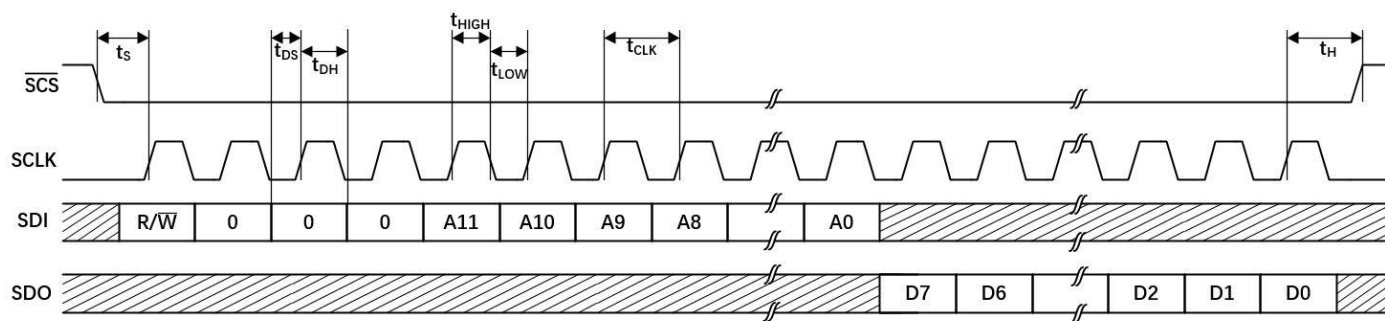


图 6 串行端口读取时序

极限参数

电源电压 (V _A ,V _{DR} , V _E) 至 GND.....	2.2V
输入电压(除了 V _{IN} +/-).....	-0.15V 至 0.15V
V _{IN} +/-输入电压.....	-0.15V 至 2.5V
最大结温 T _J ,MAX.....	150°C
工作温度范围.....	-40°C 至 125°C
存储温度范围.....	-65°C 至 150°C
ESD(Human Body Model).....	2500V
(Charged Device Model).....	750V

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

引脚配置及功能说明



表 6 芯片引脚定义

引脚序号	引脚名称	引脚类型	引脚功能
10/11 18/17	VinI+/- VinQ+/-	AI	差分信号I和Q输入。
22/23	CLK+/-	AI	差分采样时钟输入，时钟必须进行交流耦合。

引脚序号	引脚名称	引脚类型	引脚功能
26/27	DCLK_RST+/-	AI	差分DCLK复位。此输入上的正脉冲用于重置两个或多个SC1281/SC1282的DCLKI和DCLKQ输出，以便与系统中的其他SC1281/SC1282同步。
126	V _{CMO}	AIO	共模电压输出或信号耦合选择。若需输出需要进行寄存器配置。
127	V _{BG}	AIO	带隙电压输出。该引脚保持悬空。
31/32	RCLK+/-	AI	参考时钟输入。当AutoSync功能激活，且SC1281/SC1282处于从机模式时，内部划分的时钟与该输入时钟同步。同步多个ADC时，可调整该时钟的延迟
39/40 41/42	RCOUT1+/- RCOUT2+/-	AO	参考时钟输出1和2。当启用时，这些信号以CLK/4的速率提供一个参考时钟，与ADC是主模式还是从模式无关。它们用于驱动另一个SC1281/SC1282的RCLK，以实现多个ADC的自动同步（AutoSync功能）。从RCOut1和RCOut2到另一个SC1281/SC1282的RCLK差分阻抗应为100Ω。使用寄存器启用/禁用此功能；默认值为禁用。
36	DES	DI	引脚直接拉低即可，未有其他功能。
33,34	PDI,PDQ	DI	关闭通道电源。 PDQ将输入设置为逻辑高，使Q通道关断。将PDQ设置为逻辑低会在有限时间延迟后使Q通道进入工作状态。 PDI将输入设置为逻辑高，使ADC整体关断。将PDI设置为逻辑低会在有限时间延迟后使ADC进入工作状态。
124	NDM	DI	Non-demux模式选择。将此输入设置为逻辑高电平会导致数字输出总线处于1:1 Non-Demux模式。将此输入设置为逻辑低，会导致数字输出总线处于1:2 Demux模式。
35	DDRPh	DI	DDRPh选择。当输入为逻辑低时，设置数据至DCLK相位关系为0°。当输入为逻辑高时，设置数据到DCLK相位关系为90°，即DCLK转换指示有效数据输出的中间。此引脚仅在芯片处于1:2 Demux模式时有效，DDRPh相位也可以通过寄存器来进行设置，默认为0°模式。
125	$\overline{\text{ECE}}$	DI	数字复位启用。当输入为逻辑低时，数字模块正常工作。当输入为逻辑高时，数字模块被禁用，且所有SPI寄存器被重置为其默认值，建议上电后对该引脚进行拉高后拉低的操作，保证数字模块的稳定性。
121	$\overline{\text{SCS}}$	DI	SPI 芯片选择栏，当该信号被拉低，SCLK被用来对SDI上的串行数据进行时钟输入，并在SDO上获取串行数据。当此信号被拉高时，SDI被忽略，SDO处于三态。
123	SCLK	DI	SPI时钟输入。
122	SDI	DI	SPI数据输入。
120	SDO	DO	SPI数据输出。
8,13,15,20	V _A	P	模拟电路电源。
50,60,69,92, 101,111	V _{DR}	P	输出驱动器电源。
37,119	V _E	P	数字编码器电源。
83/82 78/79	DCLKI+/- DCLKQ+/-	DO	I通道和Q通道数据总线的数据时钟输出。这些差分时钟输出用于锁存输出数据，延迟和非延迟数据输出同步提供给该信号。在1:2 Demux模式或Non_demux模式下，该信号分别为采样时钟速率的1/4或1/2。
80/81	ORQ/ORI	DO	I和Q通道的输出超出范围。当存在超量程或欠量程条件时，即各模拟输入端的差分信号超过满标度值时，该输出为逻辑高。每个OR结果都对应当前数据。

SC1281/SC1282

发布日期：2023/07/11

引脚序号	引脚名称	引脚类型	引脚功能
129	GND	G	模拟电路接地回路。
1,2,3,4,5,6,7, 9,12,14,16,19, 21,24,25,28,29, 30,38,128	NC	-	不连接
125/84 87/86 89/88 91/90 94/93 96/95 98/97 100/99 . 76/77 74/75 72/73 70/71 67/68 65/66 63/64 61/62	DI7+/- DI6+/- DI5+/- DI4+/- DI3+/- DI2+/- DI1+/- DI0+/- . DQ7+/- DQ6+/- DQ5+/- DQ4+/- DQ3+/- DQ2+/- DQ1+/- DQ0+/-	DO	I和Q通道数字数据输出。在Non_demux模式下，该LVDS数据以采样时钟速率传输。在Demux模式下，这些输出以1/2的采样时钟速率提供1/2的数据，与延迟的数据同步，即在一个时钟周期之前采样的另一半数据
103/102 105/104 107/106 109/108 112/110 114/113 116/115 118/117 . 58/59 56/57 54/55 52/53 49/51 47/48 45/46 43/44	DId7+/- DId6+/- DId5+/- DId4+/- DId3+/- DId2+/- DId1+/- DId0+/- . DQd7+/- DQd6+/- DQd5+/- DQd4+/- DQd3+/- DQd2+/- DQd1+/- DQd0+/-	DO	延迟I和Q通道数字数据输出。在Non_demux模式下，这些输出是三态的。在Demux模式下，这些输出以采样时钟速率的1/2提供1/2数据，与非延迟数据同步，即在一个时钟周期后采样的另一半数据。

典型曲线

除非另有说明， $V_A=V_{DR}=V_E=1.9V$ ，1.0/1.5GSPS 采样，数字输出总线处于 1:2 Demux 模式， $V_{IN}=-1db$ 差分输入， $T_A=-40^{\circ}C$ 至 $+125^{\circ}C$ 。

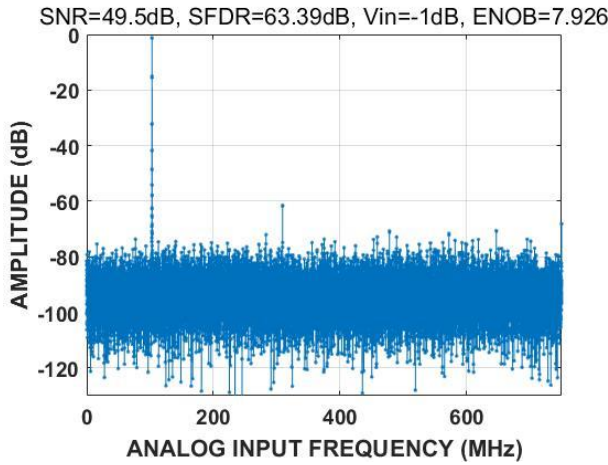


图 8 单音 FFT(fin =103MHz@1.5GSps)

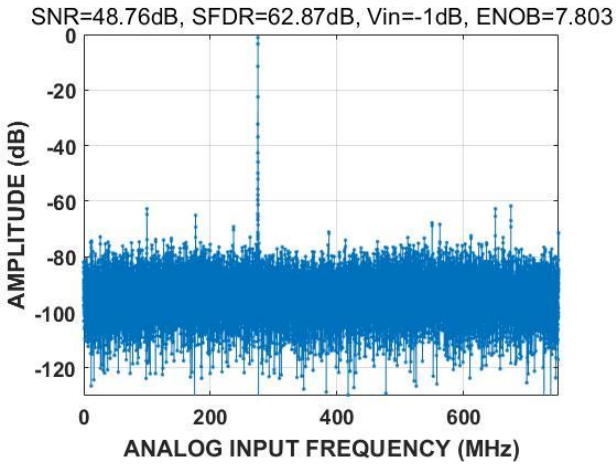


图 9 单音 FFT(fin =275MHz@1.5GSps)

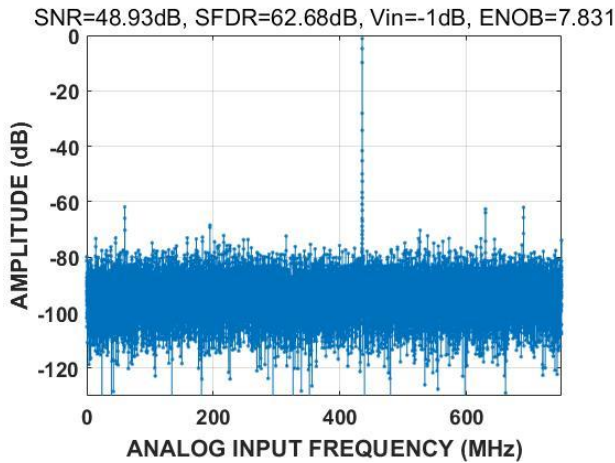


图 10 单音 FFT(fin =435MHz@1.5GSps)

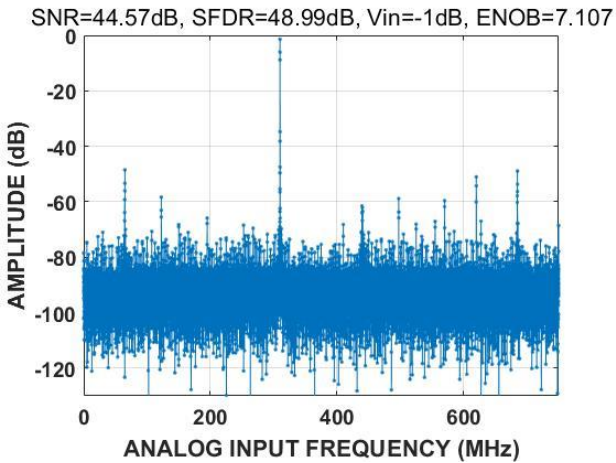


图 11 单音 FFT(fin =1.8GHz@1.5GSps)

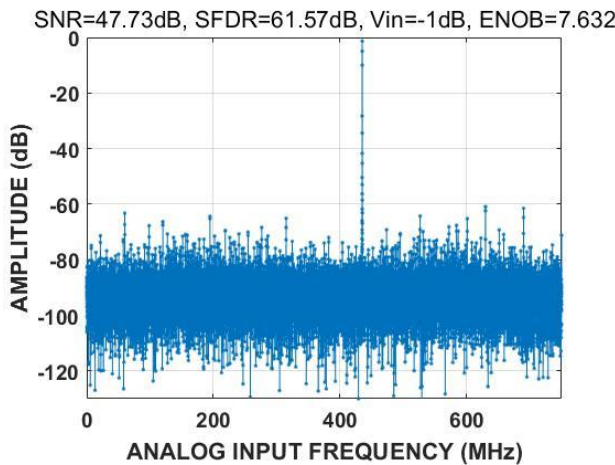


图 12 单音 FFT(fin =435MHz@1.5GSps) 高温(125°C)

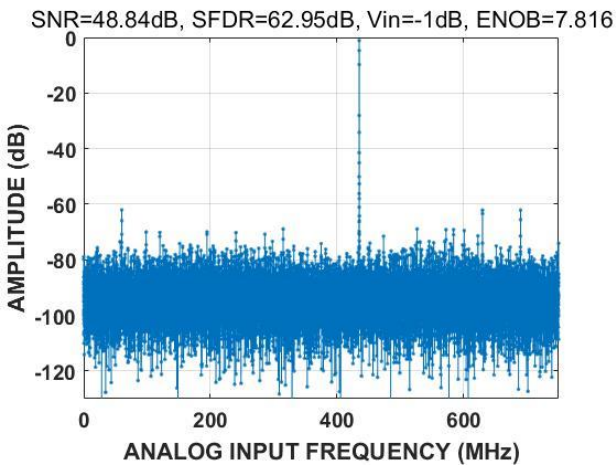


图 13 单音 FFT(fin =435MHz@1.5GSps) 低温(-40°C)

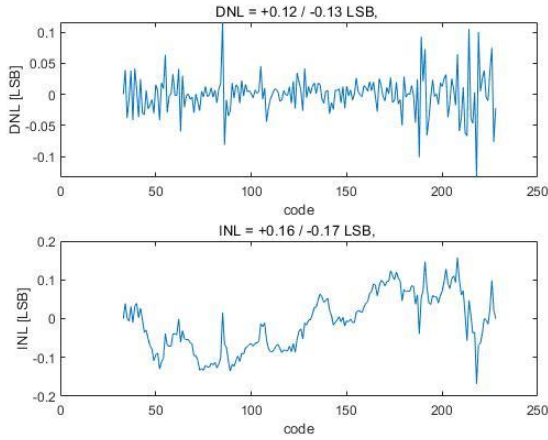


图 14 DNL&INL@1.5GSps

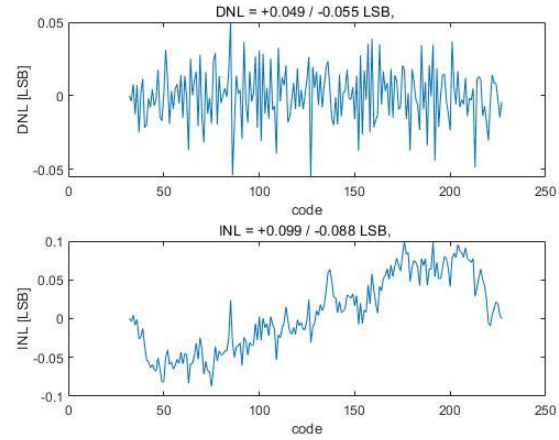


图 15 DNL&INL@1.0GSps

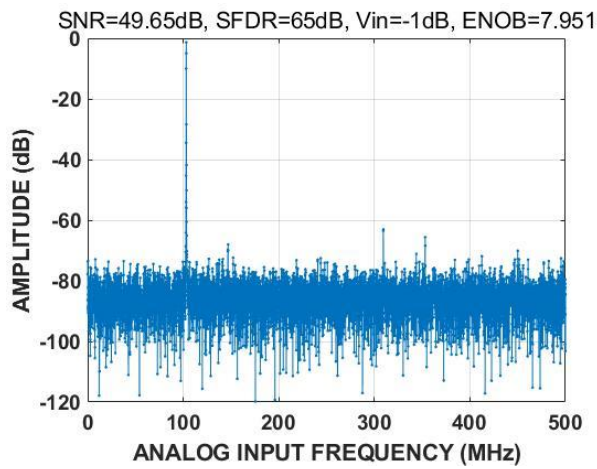


图 16 单音 FFT(fin =103MHz@1.0GSps)

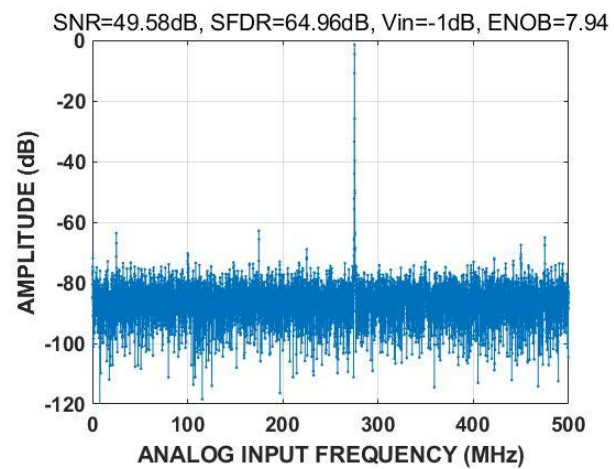


图 17 单音 FFT(fin =275MHz@1.0GSps)

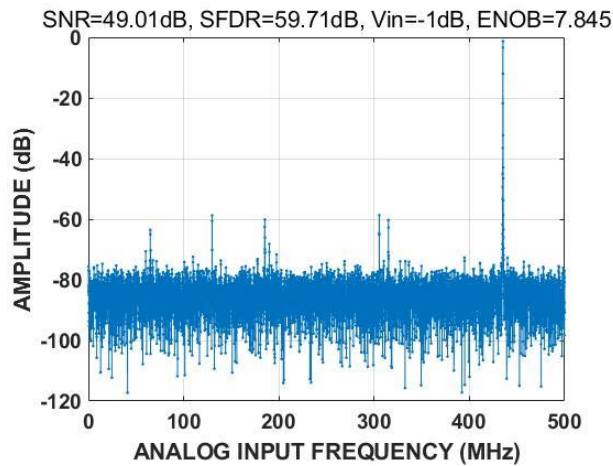


图 18 单音 FFT(fin =435MHz@1.0GSps)

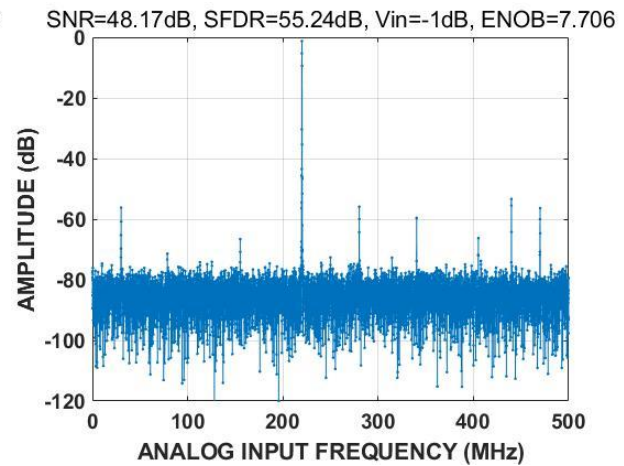


图 19 单音 FFT(fin =780MHz@1.0GSps)

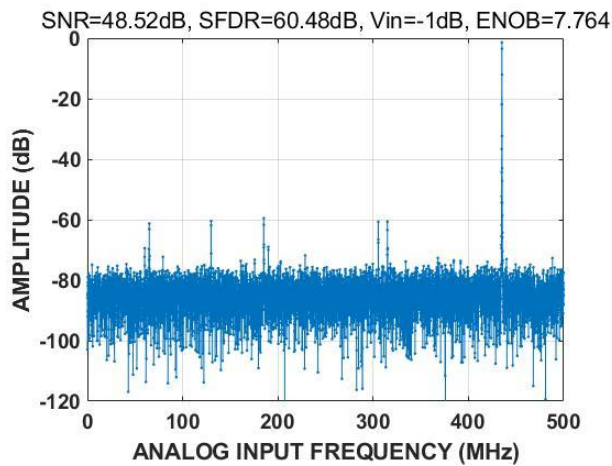


图 20 单音 FFT(fin =435MHz@1.0GSps) 高温(125°C)

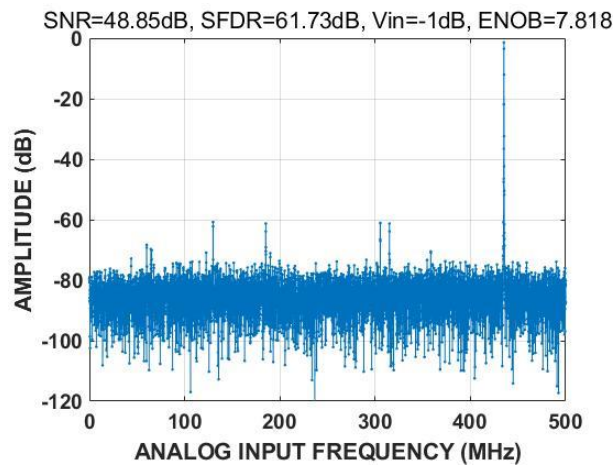


图 21 单音 FFT(fin =435MHz@1.0GSps) 低温(-40°C)

SC1281/SC1282

典型应用电路

SC1281/SC1282 模拟输入信号、模拟输入时钟等外围器件的典型应用电路如下。

模拟输入网络

使用全差分模式可以保证 ADC 获得最佳性能。建议使用差分双巴伦配置来驱动 SC1281/SC1282, (见图 22), 也可以使用全差分运放替代巴伦来驱动 ADC。

在单端应用中使用 VIN-接共模电压, VIN+接输入信号的输入网络方式, 单端应用中 ADC 性能会有所下降, 因此不建议单端驱动 SC1281/SC1282 输入。

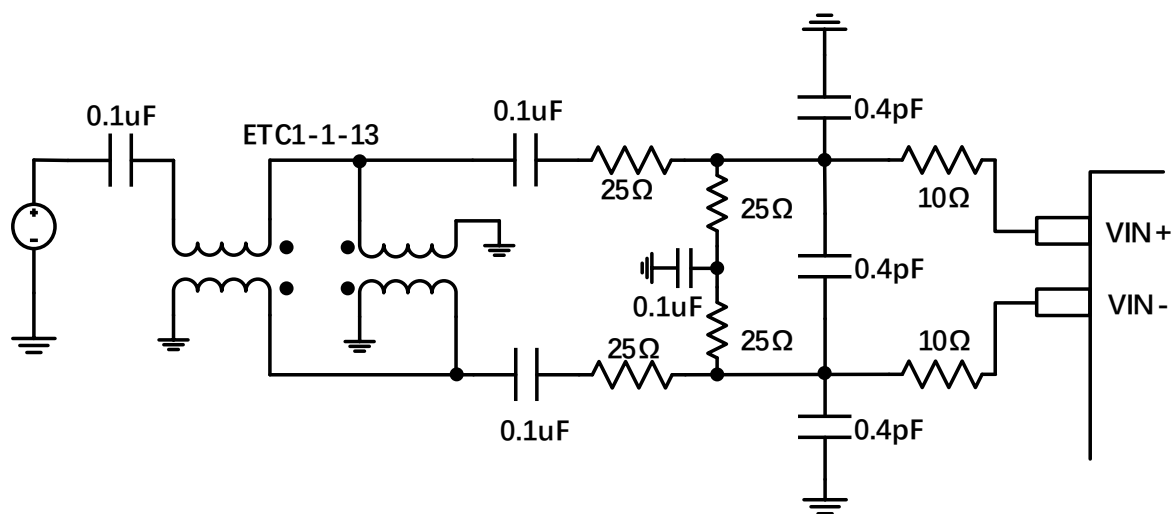


图 22 差分双巴伦输入结构图

时钟输入网络

为充分发挥芯片的性能, 应利用一个差分信号作为 SC1281/SC1282 采样时钟输入端 (CLK+/-) 的时钟信号, 输入时钟电路内部存在偏置, 无需外部偏置, 使用 AC 耦合输入即可。建议使用巴伦驱动输入, 如图 23 所示。过高的输入时钟信号可能会引起模拟输入偏置电压的变化, 过低的输入时钟电平将导致动态性能不佳, 为了避免这些问题, 请将时钟信号保持在推荐范围内。

输入时钟信号的占空比会影响 SC1281/SC1282 的动态性能, 芯片可以在 45%至 55%的指定时钟占空比范围内保持性能。且高速、高性能 ADC 需要具有最小相位噪声或抖动的非常稳定的输入时钟信号, 请保证输入时钟信号抖动尽量小。

差分输入时钟应具有 100Ω(使用 balun 时)的特性阻抗。输入时钟信号的线路尽可能的短, 耦合电容与芯片的距离也应尽可能的小, 且使其远离任何其他信号, 防止其他信号会在输入时钟信号中引入抖动。此外, 时钟信号需要适当的进行隔离, 避免时钟信号将噪声引入模拟输入中。

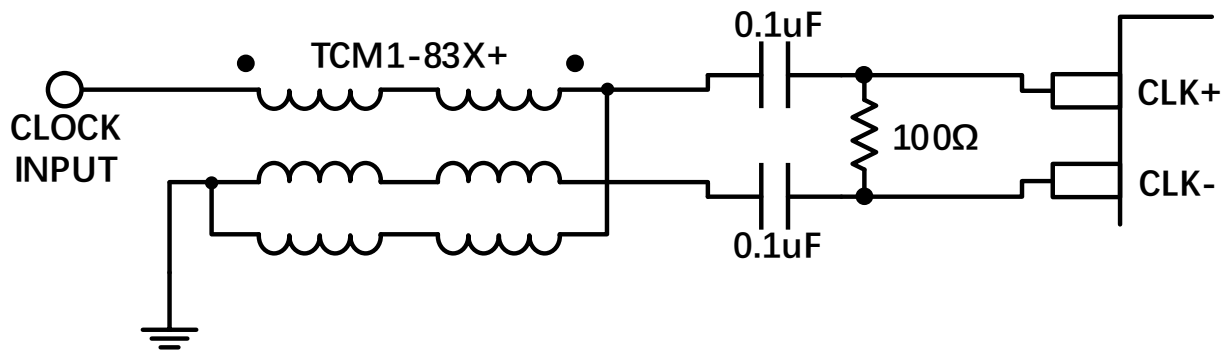


图 23 时钟输入结构图

SC1281/SC1282

数字输出

SC1281/SC1282 输出驱动器 LVDS 接口，时序如图 2-图 5 所示。输出数据的格式默认为偏移二进制码，输出编码格式示例见表 7，输出数据的格式也可通过寄存器 0x00 的 bit4 进行修改。

表 7 数据输出格式

输入 (V)	条件	偏移二进制模式	二进制补码模式
VIN+ - VIN-	$< -0.5V - 0.5LSB$	0000 0000	1000 0000
VIN+ - VIN-	$= -0.5V$	0000 0000	1000 0000
VIN+ - VIN-	$=0$	1000 0000	0000 0000
VIN+ - VIN-	$=+0.5V - 1LSB$	1111 1111	0111 1111
VIN+ - VIN-	$> +0.5V - 0.5LSB$	1111 1111	0111 1111

数字输出测试模式可通过寄存器 0x01 地址的 bit4 进行使能，这是验证接收机捕获时序的一个有用功能。该测试模式有两个连续的字节，可以根据所选的测试模式以各种方式交替，具体的输出序列，请参阅表 8 与表 9。

表 8 Demux 数字输出测试模式

时间	Qd	Id	Q	I	说明
T0	00'h	00'h	00'h	01'h	测试序列 n
T1	FF'h	FF'h	FF'h	FE'h	
T2	00'h	00'h	00'h	01'h	
T3	FF'h	FF'h	FF'h	FE'h	
T4	00'h	00'h	00'h	01'h	
T5	00'h	00'h	00'h	01'h	测试序列 n+1
T6	FF'h	FF'h	FF'h	FE'h	
T7	00'h	00'h	00'h	01'h	
T8	FF'h	FF'h	FF'h	FE'h	
T9	00'h	00'h	00'h	01'h	
T10	00'h	00'h	00'h	01'h	测试序列 n+2
T11	FF'h	FF'h	FF'h	FE'h	
T12	00'h	00'h	00'h	01'h	
T13	FF'h	FF'h	FF'h	FE'h	
T14	00'h	00'h	00'h	01'h	
T15	...	...	...	...	

表 9 Non-demux 数字输出测试模式

时间	I	Q	说明
T0	00'h	00'h	测试序列 n
T1	00'h	00'h	
T2	FF'h	FF'h	
T3	FF'h	FF'h	
T4	00'h	00'h	
T5	FF'h	FF'h	
T6	00'h	00'h	
T7	FF'h	FF'h	
T8	FF'h	FF'h	
T9	FF'h	FF'h	
T10	00'h	00'h	测试序列 n+1
T11	00'h	00'h	
T12	FF'h	FF'h	
T13	FF'h	FF'h	
T14	00'h	00'h	
T15	...	...	

SC1281/SC1282

寄存器设置

SC1281/SC1282 串行端口接口（SPI）允许用户利用配置 ADC 内部相应功能寄存器，以满足特定功能和操作的需要。通过串行端口，可访问地址空间、对地址空间进行读写。该 ADC 的 SPI 由四部分组成：SCLK 引脚、SDI 引脚、SDO 引脚和 CSB 引脚。SCLK（串行时钟）引脚用于同步 ADC 的读出和写入数据；SDI、SDO（串行数据输入、输出）功能引脚允许将数据发送至内部寄存器或从寄存器中读出数据；CSB（片选信号）引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。时序要求如图 5 与图 6 所示。

内部寄存器列表

表 10 寄存器列表

地址 (HEX)	寄存器 名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值 (HEX)	注释
0x00	工作模式				输出格式控制 1: 二进制补码 0: 偏移二进制					0x00	芯片工作状态选择
0x01	工作模式	校准使能	DDRRh 相位选择: 0'b: 0°模式 1'b: 90°模式		启用测试输出模式					0x00	芯片工作状态选择
0x02	共模调整		调整 VCMO							0x00	共模电压调整
0x04	偏移量调整	I 通道偏移调整[7:0]								0x00	偏移微调
0x05	偏移量调整					I 通道偏移调整[11:8]				0x00	偏移微调
0x14	偏移量调整	Q 通道偏移调整[7:0]								0x00	偏移微调
0x15	偏移量调整					Q 通道偏移调整[11:8]				0x00	偏移微调
0x1C	SYNC 控制	TST_SYNC[3:0]				EN_RCO UT_RINT	EN_RC OUT	SYNC _EN_ EXT	SYNC _EN_ I NT	0x00	同步使能控制
0x1D	SYNC 控制	SYNC 输入捕获的采样时钟的标志位	SYSREF 延迟 LSB 选择			SYSREF 延迟调整				0x00	同步时序调整
0x20	通道选择							Data Chann el Q	Data Chann el I	0x03	选择哪些通道接收命令默认为所有通道
0x21	工作模式			LVDS_ RESET _Q	LVDS_RESET_ I	CH Q_RESET	CH I_RESE T		SPI_L SB_FI RST	0x00	芯片状态复位
0x2D	量程选择			输入范围 00'h:1Vpp ; 15'h:800mVpp ; 2A'h:1.2Vpp ; 3F'h:1.4Vpp						0x00	

应用信息

电源和接地建议

可以使用一个独立的 1.9V 电源同时为 SC1281/SC1282 供电： V_A, V_{DR}, V_E 。对于 V_A, V_{DR}, V_E 三路供电应使用多个不同的去耦电容以屏蔽高频和低频噪声。去耦电容应放置在接近器件引脚的位置，并尽可能缩短走线长度。SC1281/SC1282 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 AGND。PCB 上裸露的连续铜平面应与 SC1281/SC1282 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。

SPI 端口

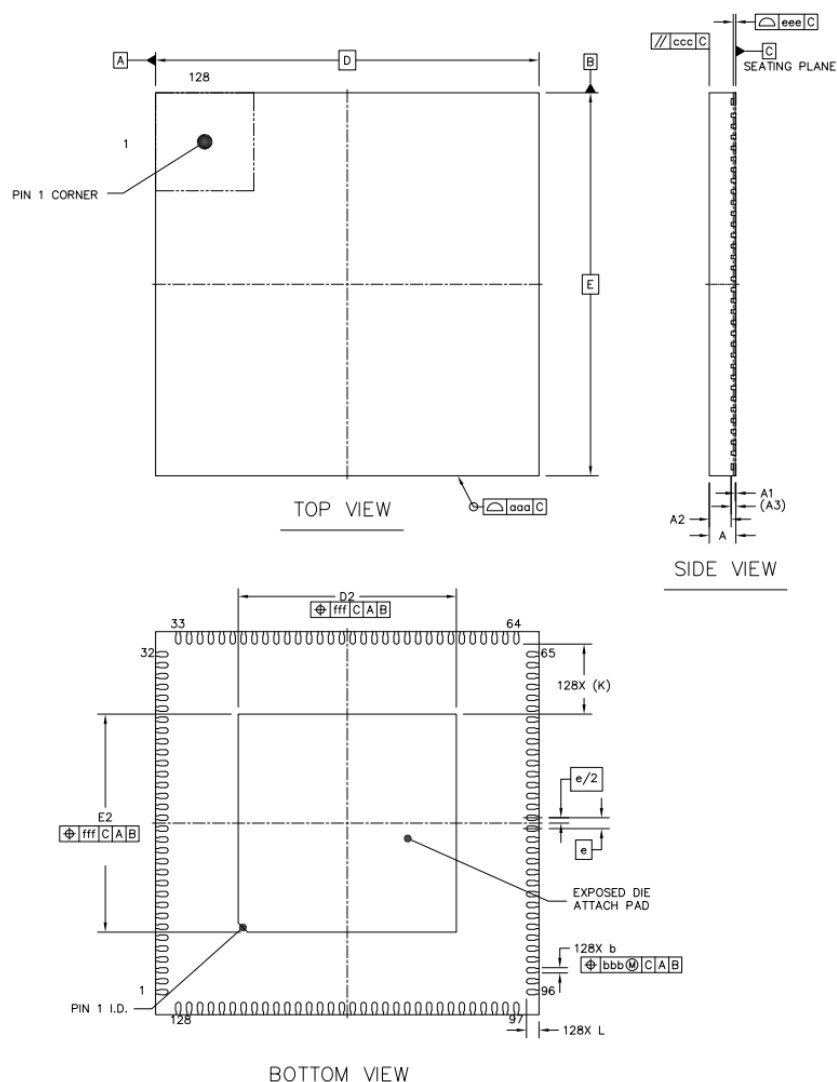
当需要转换器充分发挥其全动态性能时，应禁用 SPI 端口。通常 SCLK 信号、 $\overline{SCS}$ 信号、SDI 信号和 SDO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 SC1281/SC1282 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

数字输出

为了防止数字输出数据未对齐导致抓取时序异常，在 PCB 走线时要求 34 对 LVDS 输出线尽量完全等长，且 PCB 走线需控制阻抗匹配（按照差分 100Ω 进行控制）。同时为保证芯片上电后工作的稳定性，芯片上电后可将 $\overline{ECE}$ 引脚拉高后再拉低即可对数字模块进行复位保证芯片的稳定性。

SC1281/SC1282

外形尺寸



UNIT:MM		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.7	---
L/F THICKNESS		A3	0.152 REF		
LEAD WIDTH		b	0.12	0.17	0.22
BODY SIZE	X	D	12.2	12.3	12.4
	Y	E	12.2	12.3	12.4
LEAD PITCH		e	0.35 BSC		
EP SIZE	X	D2	6.9	7	7.1
	Y	E2	6.9	7	7.1
LEAD LENGTH		L	0.35	0.4	0.45
LEAD TIP TO EXPOSED PAD EDGE		K	2.25 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

图 24 SC1281/SC1282 封装尺寸图

注: 建立PCB封装时, QFN引脚建议稍许拉长, 防止焊接时由于铜露出过短无法补锡从而导致虚焊

订购信息

物料编号	温度范围	封装类型	包装形式
SC1281GDLUMZ	-40 ~ 125℃	QFN-128	Tray
SC1282GDLUMZ	-40 ~ 125℃	QFN-128	Tray

根据客户需求可以定制封装

声明

上述资料仅供参考使用，用于协助芯炽客户进行设计与研发。芯炽有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。