

SC1421 位单通道 12 位串行 6 μ s SAR ADC

主要性能

- 12 位 ADC，转换时间为 6 微秒
- +5V 单电源供电
- 高速、易用的串行接口
- 片内采样保持放大器
- 低功耗：25mW（典型值）
- 模拟输入范围 $\pm 10V$

- 8 引脚 SOIC 封装

应用场合

- 工业自动化技术
- 可编程逻辑控制器 (PLC)
- 分布式控制系统 (DCS)

功能模块示意图

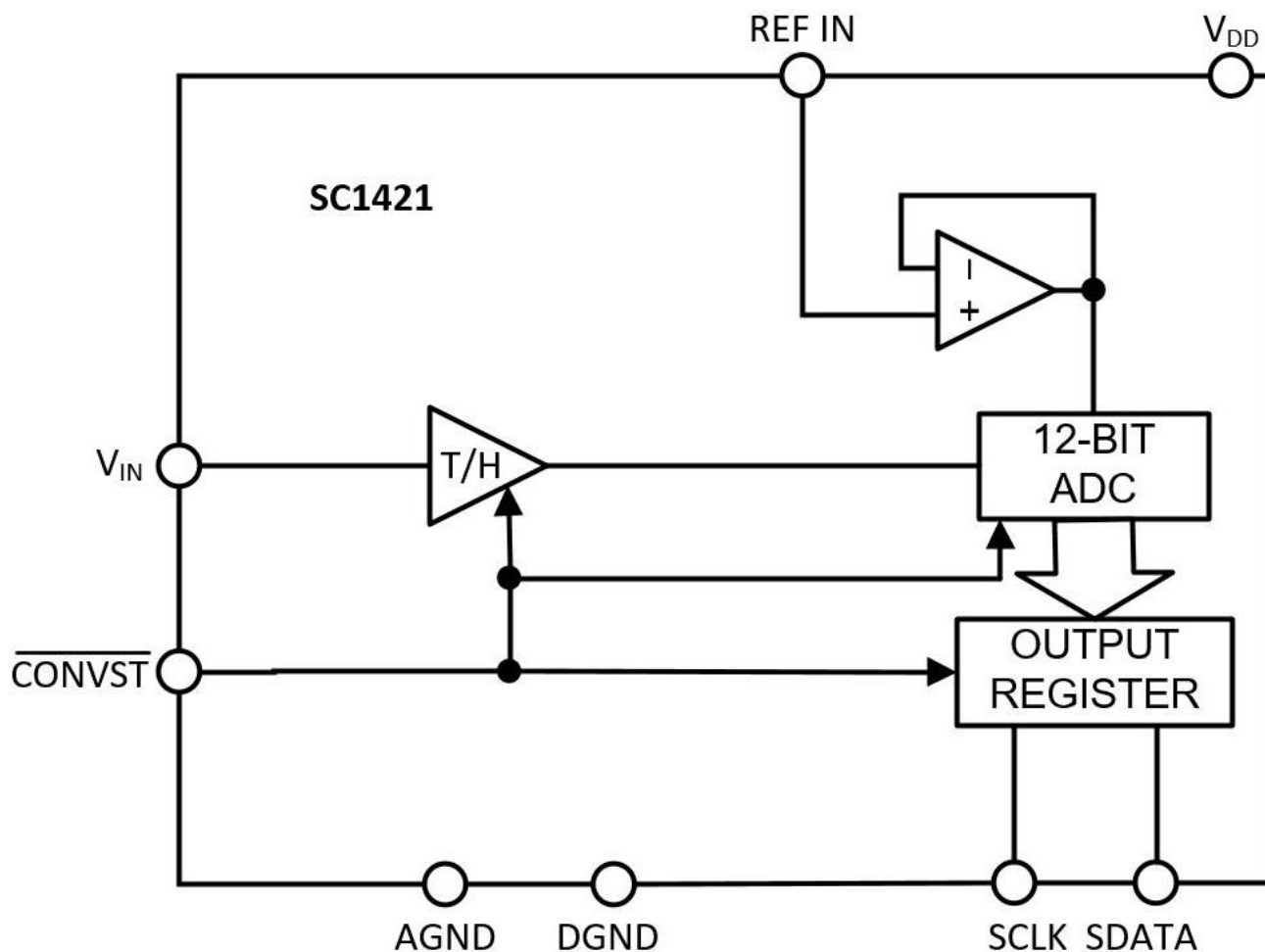


图 1 芯片模块示意图

SC1421

产品概况

SC1421是采用逐次逼近型架构，内置采样保持电路、内部时钟以及高速串行接口的单通道12位串行6 μ s SAR ADC。SC1421的模拟输入范围为 ± 10 V，采用+5 V单电源供电，典型功耗仅25 mW。SC1421采用8引脚的SOIC封装。

目录

主要性能 1

应用场合 1

功能模块示意图 1

技术规格 4

 ADC 直流特性 4

 ADC 交流特性 4

 数字规格 5

 时序规格 5

极限参数 7

ESD 保护 7

管脚(焊盘)配置及功能说明..... 8

电路说明 9

 模拟输入 9

 时序和控制部分 10

 串行接口 11

ADC 性能 12

 噪声 12

 动态性能 12

 有效位数 13

订购信息 14

外形尺寸 14

技术规格

ADC 直流特性

除非另有说明，VDD = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V，TA=−40℃至+85℃。

表 1 ADC 特性

参数	条件	最小值	典型值	最大值	单位
分辨率			12		位
无失码			保证		
微分非线性（DNL）			±0.5	±1	LSB
相对精度			±0.5	±1	LSB
正满量程误差			±1.5	±3	LSB
负满量程误差			±1.5	±3	LSB
模拟输入范围			±10		V
输入阻抗			16		kΩ
参考输入电压（REF IN）	2.5V ±5%	2.375	2.5	2.625	V
参考电压输入电流			2		μA
参考电压输入电容			10		pF
VDD 电源电压	指定性能的±5%	+4.75	+5	+5.25	V
IVDD 电源电流			5	9	mA
功耗			25	45	mW

ADC 交流特性

除非另有说明，VDD = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V，TA=−40℃至+85℃。

表 2 数字规格参数

参数	条件	最小值	典型值	最大值	单位
信噪比(SNR)	fIN=10 kHz Sine, fSAMPLE=117 kHz	70			dB
总谐波失真(THD)	fIN=10 kHz Sine, fSAMPLE=117 kHz			-80	dB
无杂散动态范围(SFDR)	fIN=10 kHz Sine, fSAMPLE=117 kHz			-80	dB
互调失真(IMD) 二阶项 三阶项	fa=9 kHz, fb=9.5 kHz, fSAMPLE=117 kHz			-80 -80	dB dB

数字规格

除非另有说明，VDD = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V, TA=−40℃至+85 ℃。

表 3 数字规格参数

参数	条件	最小值	典型值	最大值	单位
转换速率					
转换时间				6	μs
采集时间				1.5	μs
逻辑输入					
逻辑 1 电压	V _{DD} = 5 V ±5%	2.4			V
逻辑 0 电压	V _{DD} = 5 V ±5%			0.8	V
输入电流	V _{IN} = 0V to V _{DD}			±10	μA
输入电容				10	pF
数字输出					
逻辑 1 电压	I _{SOURCE} = 200 μA	4			V
逻辑 0 电压	I _{SINK} = 1.6mA			0.4	V
编码格式（默认）			二进制补码		

时序规格

除非另有说明，VDD = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V, TA=−40℃至+85 ℃。

表 4 通用时序规格参数

参数	最小值	典型值	最大值	单位	描述
t ₁	50			ns	CONVST电平脉冲宽度
t ₂	60			ns	SCLK 高电平脉冲宽度
t ₃	30			ns	SCLK 低电平脉冲宽度
t ₄			50	ns	SCLK 上升沿到数据有效延迟
t ₅	10			ns	SCLK 下降沿后的总线需要时间
			100	ns	

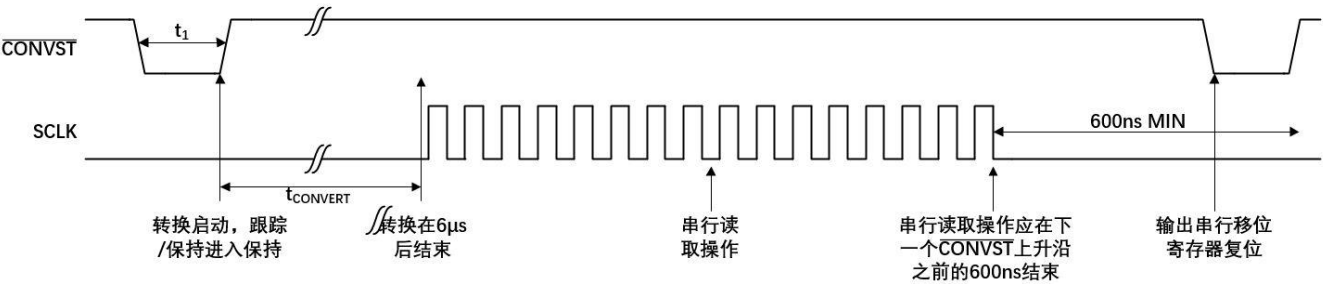


图 2 CONVST常规工作时序图

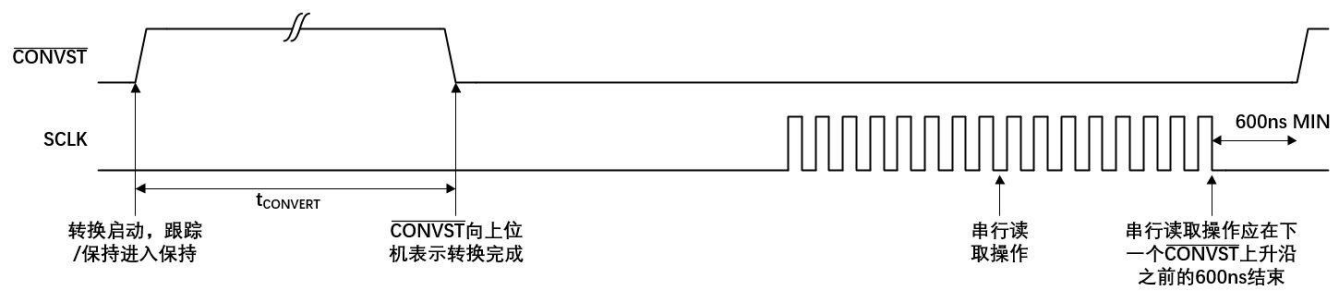


图 3 CONVST用作状态信号时序图

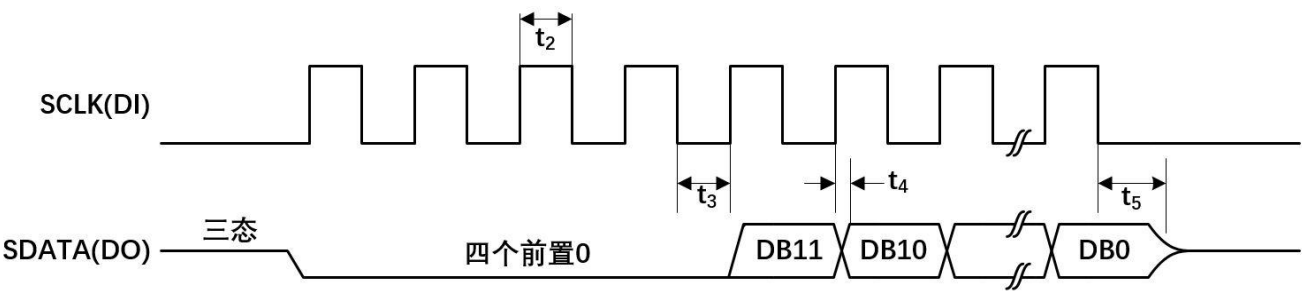


图 4 数据读取时序图

极限参数

V_{DD} 至 AGND	-0.3V 至 7V
V_{DD} 至 DGND	-0.3V 至 7V
模拟输入电压至 AGND.....	$\pm 17V$
REFIN 至 AGND	-0.3V 至 $V_{DD} + 0.3V$
数字输入电压至 DGND.....	-0.3V 至 $V_{DD} + 0.3V$
数字输出电压至 DGND.....	-0.3V 至 $V_{DD} + 0.3V$
最大结温 $T_{J,MAX}$	150°C
工作温度范围.....	-40 °C 至 85 °C
存储温度范围.....	-65 °C 至 150 °C
ESD(Human Body Model) 除模拟输入外.....	2000V
ESD(Human Body Model) 模拟输入.....	8000V

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际应用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的ESD保护措施，以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

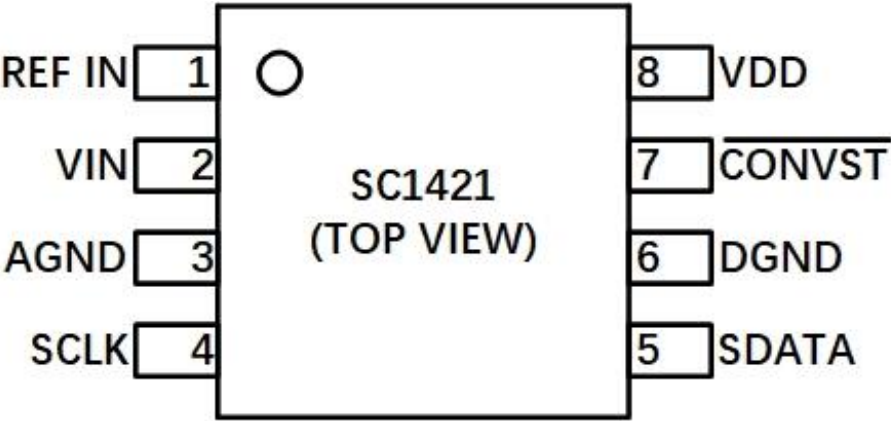


图 5 管脚（焊盘）配置

表 7 管脚定义

引脚编号	引脚名称	引脚类型	引脚功能
1	REF IN	AI	参考电压输入。连接一个外部参考源到这个引脚，为SC1421的转换过程提供参考电压。REF IN输入端内部具有片上缓冲，参考电压为+2.5 V
2	V _{IN}	AI	模拟输入通道。模拟输入范围为±10V
3	AGND	G	模拟地。跟踪/保持、比较器和DAC的参考地平面
4	SCLK	DI	串行时钟输入。输入外部串行时钟，从SC1421获得串行数据。在这个串行时钟的上升沿输出新的串行数据，而数据在下降沿是有效的。在串行数据传输结束时，串行时钟输入应该保持在低电平
5	SDATA	DO	串行数据输出。在这个输出引脚端输出SC1421转化后的串行数据。串行数据在SCLK的上升沿时钟输出，并在SCLK的下降沿有效。串行数据的16位输出上会输出4个前导零，后面跟着12位转换数据。在SCLK的第十六下降边缘，SDATA线路被禁用(三态)，输出数据编码是二进制补码
6	DGND	G	数字地。数字电路的参考地平面
7	CONVST	AI	转换的开始。边沿触发逻辑输入，在这个输入的下降沿上，串行时钟计数器被重置为零。在这个输入的上升边缘上，跟踪/保持进入保持模式并开始转换
8	V _{DD}	P	正电源电压，+ 5V ±5%

电路说明

模拟输入

SC1421的模拟输入部分如图6所示。SC1421的模拟输入范围是 $\pm 10\text{V}$ 输入电压，其中 $R1=30\text{k}\Omega$ ， $R2=7.5\text{k}\Omega$ ， $R3=10\text{k}\Omega$ 。

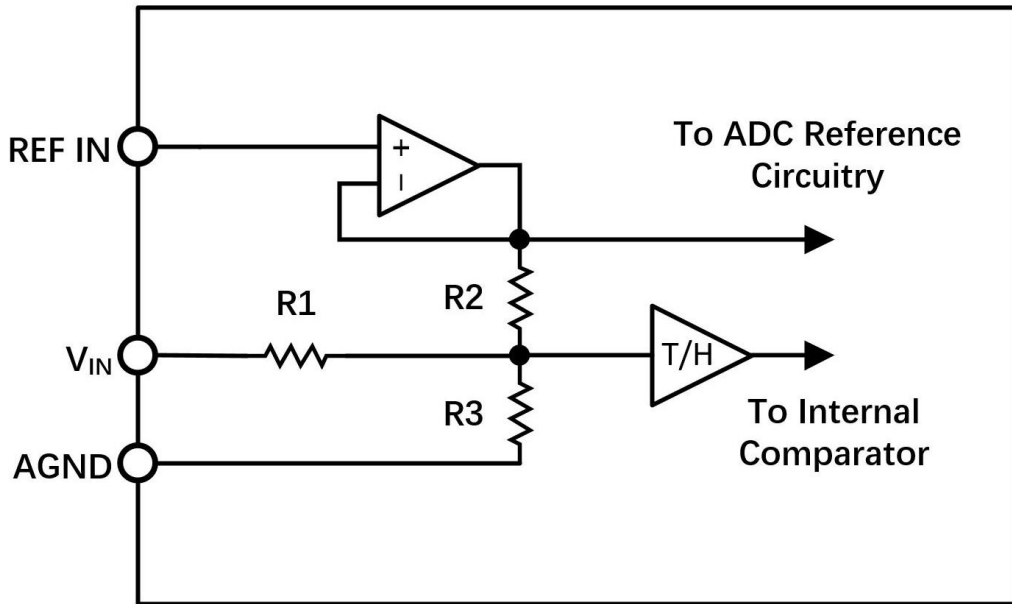


图 6 SC1421 模拟输入结构

对于SC1421，设计的代码转换发生在连续的整数LSB值上(即1 LSB, 2 LSB, 3 LSB...)。输出编码为二进制补码，1 LSB = $\text{FSR}/4096$ ，SC1421的理想输入与输出编码对应关系如表6所示。

表 6 SC1421 的理想输入/输出编码表

模拟输入 ¹	数字输出码转换
$+\text{FSR}/2 - 1 \text{ LSB}^2$	011 ... 110 to 011 ... 111
$+\text{FSR}/2 - 2 \text{ LSBs}$	011 ... 101 to 011 ... 110
$+\text{FSR}/2 - 3 \text{ LSBs}$	011 ... 100 to 011 ... 101
AGND + 1 LSB	000 ... 000 to 000 ... 001
AGND	111 ... 111 to 000 ... 000
AGND - 1 LSB	111 ... 110 to 111 ... 111
$-\text{FSR}/2 + 3 \text{ LSBs}$	100 ... 010 to 100 ... 011
$-\text{FSR}/2 + 2 \text{ LSBs}$	100 ... 001 to 100 ... 010
$-\text{FSR}/2 + 1 \text{ LSB}$	100 ... 000 to 100 ... 001

1. FSR是满量程为20V，REF IN= +2.5V。

2. 1 LSB = $\text{FSR}/4096 = 4.883 \text{ mV}$ ，REF IN= +2.5V

时序和控制部分

图2显示了SC1421最佳性能工作时所需的时序。在图中所示的序列中，转换在 $\overline{\text{CONVST}}$ 上升沿开始，6 μs 后SC1421本次转换得到的新数据会存储在输出寄存器中。读取操作发生时，在 $\overline{\text{CONVST}}$ 的下一个上升边缘之前应该最少保持600ns结束读取操作，以优化下次转换开始之前跟随/保持放大器的建立。在串行时钟频率最高为8.33MHz的情况下，芯片可实现的吞吐量为6 μs (转换时间) + 1.92 μs (读取时间) + 0.6 μs (采集时间)，这将导致8.52 μs 的最小吞吐量时间(相当于117 kHz的吞吐量速率)。

为了最小化电路板空间，SC1421采用8引脚封装，可用于接口的引脚数量非常有限，因此，SC1421没有提供状态信号来指示转换何时完成。在许多应用中该问题无需考虑，因为数据可以在转换期间或转换后从SC1421读取；然而，想要从SC1421获得最佳性能的应用程序必须确保数据读取不会发生在转换期间或在 $\overline{\text{CONVST}}$ 上升边缘之前的600ns期间。这可以通过两种方式实现：

- (1) 在软件时序控制中确保读操作直到 $\overline{\text{CONVST}}$ 上升沿后6 μs 再开始进行，只有当软件知道何时发出 $\overline{\text{CONVST}}$ 命令时，这才有可能
- (2) 使用 $\overline{\text{CONVST}}$ 信号作为转换开始信号和中断信号。最简单的方法是为 $\overline{\text{CONVST}}$ 生成一个高低时间为6 μs 的方波信号(见图3)，转换在 $\overline{\text{CONVST}}$ 上升边缘开始， $\overline{\text{CONVST}}$ 的下降沿发生在6 μs 之后，可以作为一个活跃的低电平信号或下降沿触发的中断信号来告诉处理器从SC1421读取数据。如果读取操作在 $\overline{\text{CONVST}}$ 上升沿前600ns完成，也可以满足SC1421的数据读取时序。

上述方案将吞吐量限制在12 μs 以内，根据处理器对中断信号的响应时间和处理器读取数据所花费的时间，这可能是系统运行的最快时间。在任何情况下， $\overline{\text{CONVST}}$ 信号不必保持50:50占空比，可以根据实际使用情况进行调整，以优化SC1421的吞吐量率。或者， $\overline{\text{CONVST}}$ 信号可以提供正常的窄脉宽， $\overline{\text{CONVST}}$ 的上升沿可以作为一个活跃高电平或上升沿触发中断，在读取数据之前，可以实现6 μs 的软件延迟。

串行接口

SC1421的串行接口仅由两根线组成，一个串行时钟输入(SCLK)和一个串行数据输出(SDATA)，这是大多数微控制器，DSP处理器和移位寄存器都易于使用的接口。

图4显示了SC1421读取操作的时序图，串行时钟输入(SCLK)为串行接口提供时钟源，串行数据在该时钟的上升沿上从SDATA线时钟输出，在SCLK的下降沿上有效。串行时钟输入(SCLK)必须提供16个时钟脉冲，以完全获得转换结果，SC1421提供四个前导零，后面跟着以MSB (DB11)开始的12位转换结果，最后上升时钟边缘的最后一个数据位是LSB (DB0)，在SCLK的第十六下降沿，SDATA线被禁用(三态)。在最后一位被敲出后，SCLK输入应该返回低电平，并一直保持低电平，直到下一次串行数据读取操作；如果在第十六个时钟之后还有额外的时钟脉冲，SC1421将重新开始，从其输出寄存器输出数据，即使此时时钟停止，数据总线也将不再是三态模式；如果串行时钟在 $\overline{\text{CONVST}}$ 的下一个下降沿之前停止，SC1421将继续正常工作，输出移位寄存器在 $\overline{\text{CONVST}}$ 下降沿时复位，因此当 $\overline{\text{CONVST}}$ 变低时，SCLK线必须是低的，以便可以正常复位输出移位寄存器。

串行时钟输入在串行读取操作期间不需要是连续的，这16位数据(4个前导零和12位转换结果)可以以字节数从SC1421读取，需要注意 SCLK输入必须在两个字节之间保持低电平。

通常，输出寄存器在转换结束时更新。当转换完成时，从输出寄存器的串行读取正在进行，但是，输出寄存器的更新是延迟的，在这种情况下，当串行读取完成时，输出寄存器将被更新。如果串行读取在 $\overline{\text{CONVST}}$ 的下一个下降沿之前没有完成，输出寄存器将在 $\overline{\text{CONVST}}$ 的下降沿更新，并复位输出移位寄存器。在时序控制程序中，若数据读取已经启动，但在 $\overline{\text{CONVST}}$ 下降沿之前没有完成，用户必须提供大于1.5 μs 的 $\overline{\text{CONVST}}$ 脉冲宽度，以确保在下一个转换开始之前SC1421可以正确进行工作；在时序控制程序中，输出更新要么发生在转换结束，要么发生在 $\overline{\text{CONVST}}$ 上升沿前1.5 μs 完成的串行读取结束时。通常 $\overline{\text{CONVST}}$ 可以达到最小50ns的脉宽。

SC1421对串行时钟边缘进行计数，以知道输出寄存器的哪位应该放在SDATA输出上，为了确保芯片输出数据连续，只要SCLK线是低的，串行时钟计数器在 $\overline{\text{CONVST}}$ 输入的下降沿复位。用户应该确保在串行数据读取操作进行时，不会出现 $\overline{\text{CONVST}}$ 输入上的下降沿。

ADC 性能

噪声

在A/D转换器中，噪声在直流应用中表现为代码的不确定性(图11a 为直流输入直方图，图11b 为DNL/INL图)，在交流应用中表现为噪声底面(如FFT)。在像SC1421这样的采样A/D转换器中，所有关于模拟输入的信息都出现在从DC到采样频率1/2的基带中，跟踪/保持的输入带宽超过奈奎斯特带宽，因此抗混叠滤波器应该用于去除输入信号中大于 $f_s/2$ 的不需要的信号。

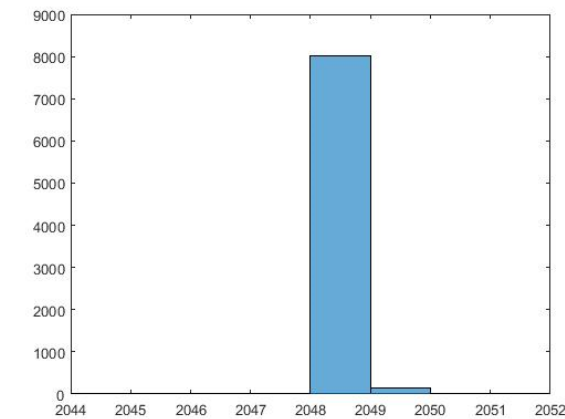


图 11a 直流输入直方图

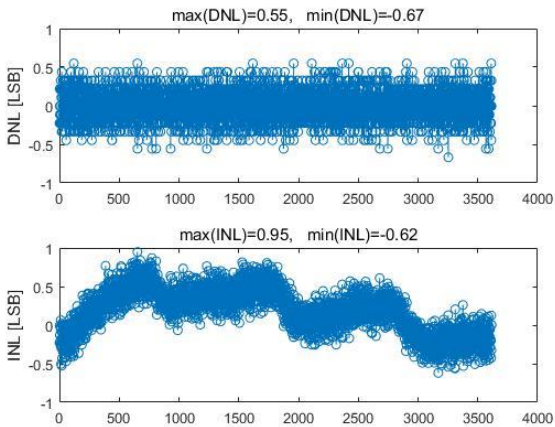


图 11b DNL/INL

动态性能

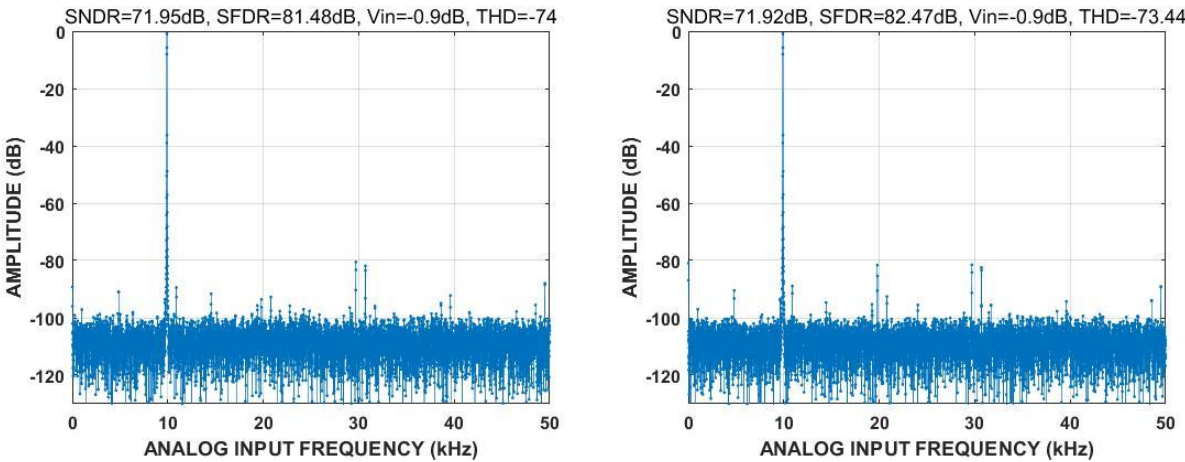


图 12 $f_{in}=9.9\text{kHz}@f_s=100\text{kSPS}$ FFT

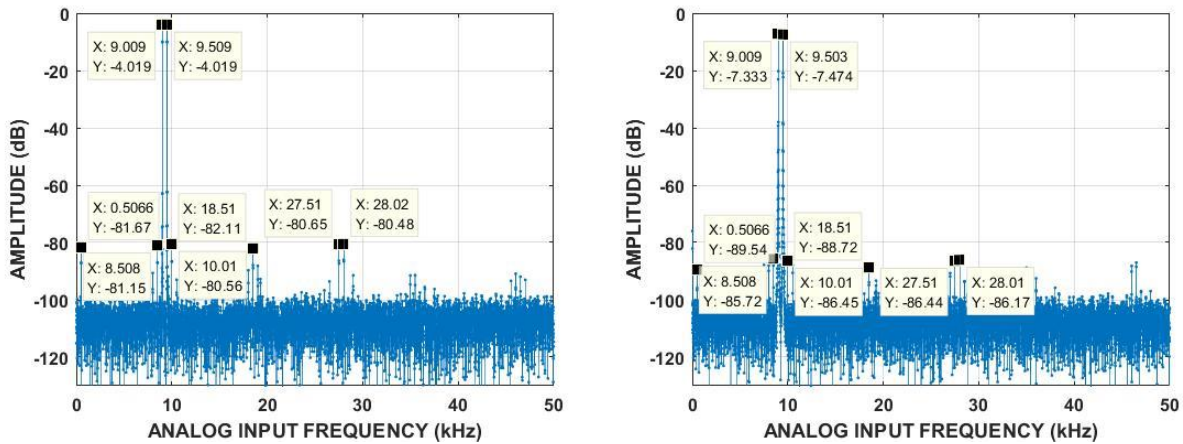


图 13 fina=9kHz&finb=9.5kHz@fs=100kSPS 互调失真(IMD)

有效位数

信噪失真比的公式与转换器的分辨率或比特数有关。重写这个公式，可以得到一个以有效比特数(N)表示的性能参数：

$$ENOB = \frac{SNDR - 1.76}{6.02}$$

芯片的有效位数可以由其测量的信噪失真比来计算。

SC1421

订购信息

物料编号	温度范围	封装类型	包装形式
SC1421GAOUMX	-40 ~ 85℃	SOIC-8	Tube

根据客户需求可以定制封装

外形尺寸

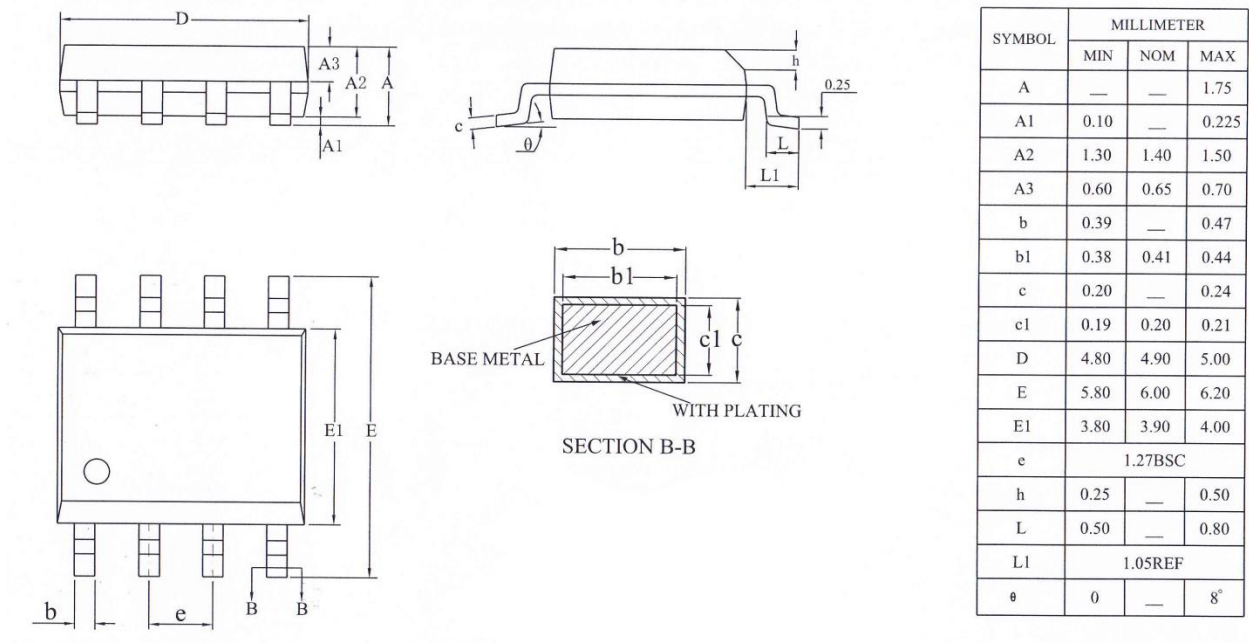


图 7 8 脚 SOIC 封装尺寸图