

SC1254 四通道 14 位 80M/100M/110MSPS ADC

主要性能

- 1.8V 电源供电
- 低功耗：每通道 110mW(110MSPS)
- 信噪比(SNR)：73dB(至奈奎斯特频率)
- 微分非线性(DNL)： $\pm 0.75\text{LSB}$ (典型值)
- 积分非线性(INL)： $\pm 2.5\text{LSB}$ (典型值)
- 串行 LVDS
- $2V_{p-p}$ 输入电压范围

- QFN-48 封装 7mm×7mm

应用场合

- 医疗成像和无创超声检测
- 测试设备
- 无线电接收机
- 光纤网络

功能模块示意图

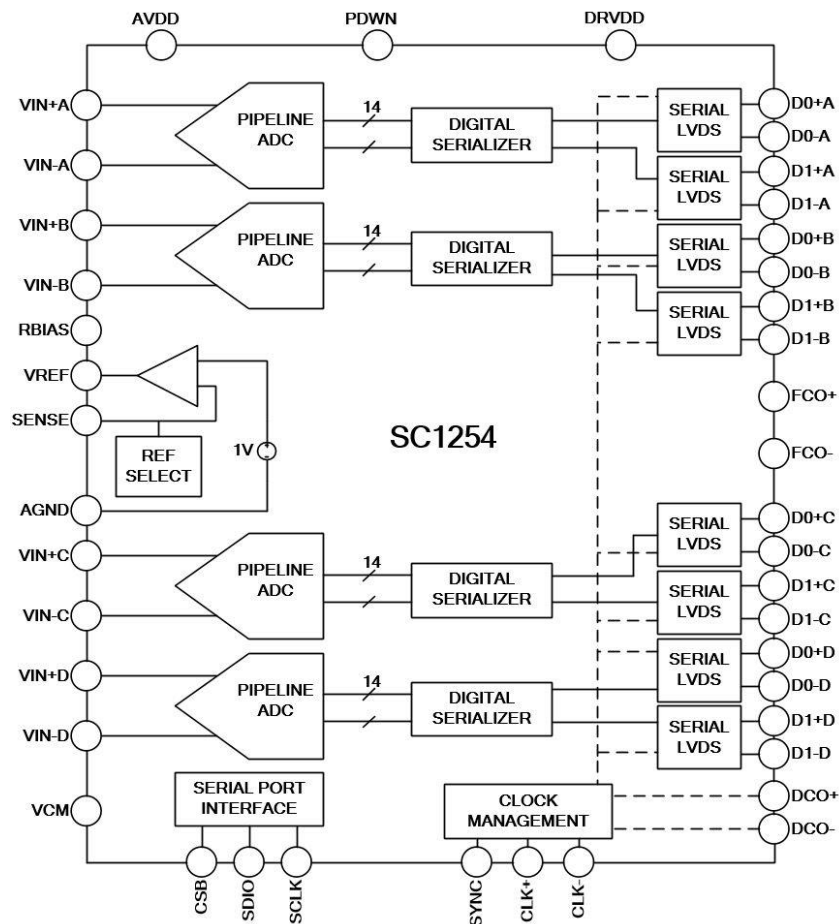


图 1 芯片模块示意图

SC1254

产品概况

SC1254是采用多级差分流水线架构，内置高性能采样保持电路和片内基准电压源的四通道、14位、80MSPS/100MSPS/110MSPS模数转换器（ADC），专门针对低成本、低功耗、小尺寸和易用性而设计。

SC1254转换速率最高可达110MSps，具有杰出的动态性能与低功耗特性。采用1.8V电源供电，输入时钟支持LVPECL/CMOS/LVDS三种输入。对于大多数应用，无需外部基准电源或驱动器件。

为获得合适的LVDS串行数据速率，SC1254内部会自动倍乘ADC的模拟输入采样时钟，提供数据时钟(DCO)输出用于在输出端捕获数据，以及帧时钟(FCO)输出作为发送下一个输出字节的指示信号。SC1254还支持四通道每个单独进入省电状态；禁用所有通道时，典型功耗低于2mW。

SC1254采用48引脚的QFN封装。

目录

主要性能 1

应用场合 1

功能模块示意图 1

产品概况 2

技术规格 4

 ADC 直流特性 4

 ADC 交流特性 5

 数字规格 6

 时序规格 7

极限参数 11

ESD 保护 11

管脚(焊盘)配置及功能说明..... 12

典型曲线 14

典型应用电路 16

 模拟输入网络 16

 时钟输入网络 17

 基准配置方式 17

数字输出格式 18

 CSB Pin 19

 RBIAS Pin 19

 输出测试模式 20

串行端口接口（SPI） 21

 内部寄存器列表 21

应用信息 24

 电源和接地建议 24

 裸露焊盘散热块建议 24

 VCM 24

 基准电压源去耦 24

 SPI 端口 24

 数据输出 24

订购信息 25

外形尺寸 25

技术规格

ADC 直流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、110MSps 采样率，VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 1 ADC 直流特性

参数	条件	最小值	典型值	最大值	单位
分辨率			14		位
无失码	全		保证		
失调误差	全	-0.7	-0.3	+0.1	%FSR
增益误差	全	-10	-5	0	%FSR
微分非线性 (DNL) ¹	全 25°C	-2.0	±0.75	+2.0	LSB LSB
积分非线性 (INL) ¹	全 25°C	-5.0	±2	+5.0	LSB LSB
内部基准电压误差	全		±5		mV
输入端参考噪声 (VREF=1V)	25°C	+	0.94		LSB rms
模拟输入范围 (VREF=1V)	全		2		V _{pp}
输入电容 ²	全		3		pF
输入共模电压	全		0.95		V
AVDD 电源电压	全	1.7	1.8	1.9	V
DRVDD 电源电压	全	1.7	1.8	1.9	V
I _{AVDD} 电源电流	全		196		mA
I _{DRVDD} 电源电流 (ANSI-644 模式)	全		62.6		mA
直流输入功耗	25°C		429		mW
正弦波输入功耗 ¹ (ANSI-644 模式)	全		465.5		mW
关断功耗	25°C		2		mW

1 测量条件为：10MHz输入频率、满量程正弦波、每个输出位的负载约为5pF。

2 输入电容指一个差分输入引脚与AGND之间的有效电容。

ADC 交流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、110MSps 采样、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 2 ADC 交流特性

参数	条件	最小值	典型值	最大值	单位
信噪比 (SNR)					
$f_{in}=30.5\text{MHz}$	25°C	70.3	73		dBFS
$f_{in}=70\text{MHz}$	25°C		71.1		dBFS
	全				dBFS
$f_{in}=140\text{MHz}$	25°C		68.6		dBFS
$f_{in}=200\text{MHz}$	25°C		68.5		dBFS
信纳比 (SNDR)					
$f_{in}=30.5\text{MHz}$	25°C	70.2	72.7		dBFS
$f_{in}=70\text{MHz}$	25°C		71		dBFS
	全				dBFS
$f_{in}=140\text{MHz}$	25°C		68.5		dBFS
$f_{in}=200\text{MHz}$	25°C		68.3		dBFS
有效位数 (ENOB)					
$f_{in}=30.5\text{MHz}$	25°C	11.4	11.8		位
$f_{in}=70\text{MHz}$	25°C		11.6		位
	全				位
$f_{in}=140\text{MHz}$	25°C		11.1		位
$f_{in}=200\text{MHz}$	25°C		11.1		位
无杂散动态范围 (三次谐波)					
$f_{in}=30.5\text{MHz}$	25°C	77	87		dBc
$f_{in}=70\text{MHz}$	25°C		80		dBc
	全				dBc
$f_{in}=140\text{MHz}$	25°C		80.1		dBc
$f_{in}=200\text{MHz}$	25°C		78		dBc
无杂散动态范围 (二次谐波)					
$f_{in}=30.5\text{MHz}$	25°C	80	81.6		dBc
$f_{in}=70\text{MHz}$	25°C		83		dBc
	全				dBc
$f_{in}=140\text{MHz}$	25°C		78.6		dBc
$f_{in}=200\text{MHz}$	25°C		65		dBc
串扰 ³	全		-82		dB
模拟输入带宽	25°C		650		MHz

3串扰的测量条件：一个通道输入参数为-1dBFS、70MHz信号且相邻通道上无输入信号。

数字规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、110MSps 采样、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 3 数字规格参数

参数	条件	最小值	典型值	最大值	单位
差分时钟输入（CLK+/-）			CMOS/LVDS/LVPECL		
逻辑兼容			0.9		V
内部共模偏置	全	0.3		3.6	V
差分输入电压	全	0		1.8	V
输入电压范围	全		15		kΩ
输入电阻	全		3.5		pF
输入电容					
逻辑输入 （PDWN,SYNC,SCLK,CSB,SDIO）					
逻辑 1 电压	全	1.2		AVDD	V
逻辑 0 电压	全	0		0.6	V
输入电阻	全		26		kΩ
输入电容	全		2		pF
数字输出（D0±x, D1±x）					
ANSI-644					
输出差分电压	全	290	345	400	mV
输出共模电压	全	1.15	1.25	1.35	V
编码格式（默认）			二进制补码		

时序规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、110MSps 采样、VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 4 时序参数

参数	条件	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全			880	MHz
转换速度				110	MHz
孔径延时 (t _A)	全		1		ns
孔径抖动	全		0.14		ps rms
数据输出参数					
t _A	全		1		ns
t _{EH}	全		6.25/5/4.55		ns
t _{EL}	全		6.25/5/4.55		ns
t _{CPD}	全		t _{FCO} + (t _{SAMPLE} /16)		ns
t _{FCO}	全	1.5	2.3	3.1	ns
t _{FRAME}	全	(t _{SAMPLE} /16)−300	(t _{SAMPLE} /16)	(t _{SAMPLE} /16)+300	ps
t _{PD}	全	1.5	2.3	3.1	ns
t _{DATA}	全	(t _{SAMPLE} /16)−300	(t _{SAMPLE} /16)	(t _{SAMPLE} /16)+300	ps
t _{LD}	全		90		ps

$t_{SAMPLE} = 1/f$

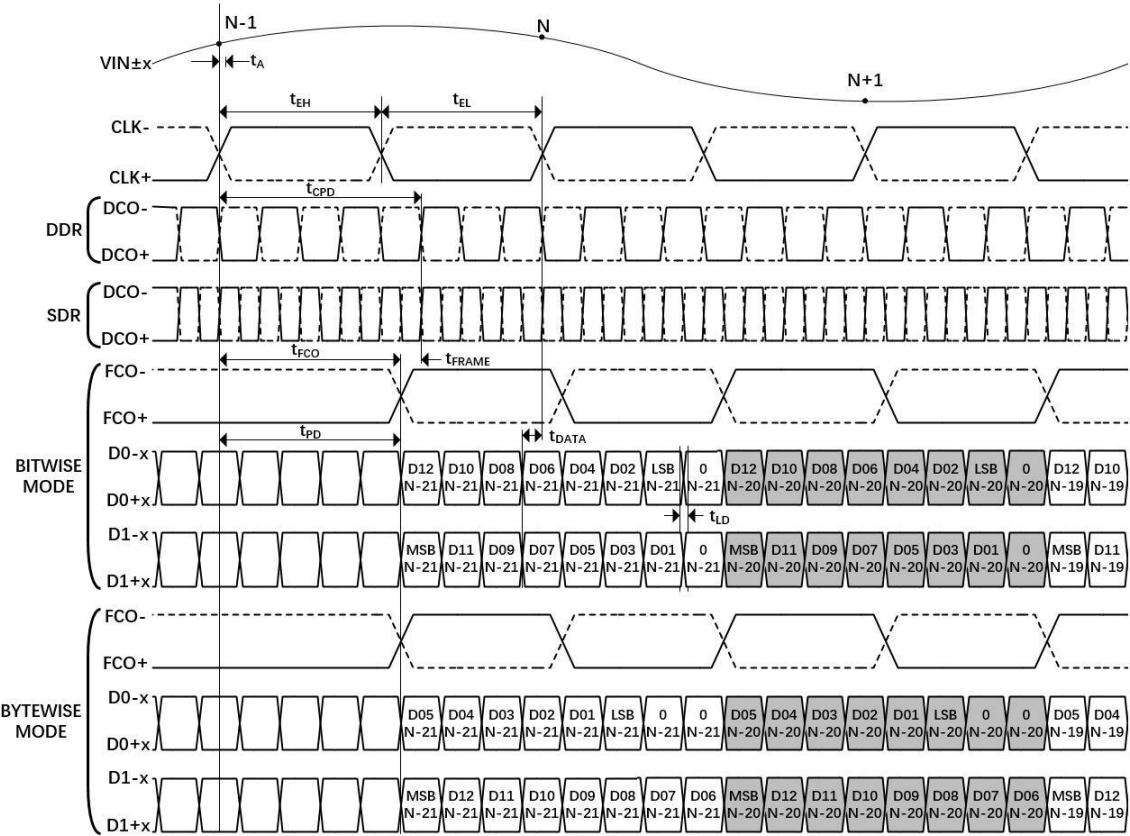


图 2 16-Bit DDR/SDR, Two-Lane, 1×Frame (Default)工作时序图

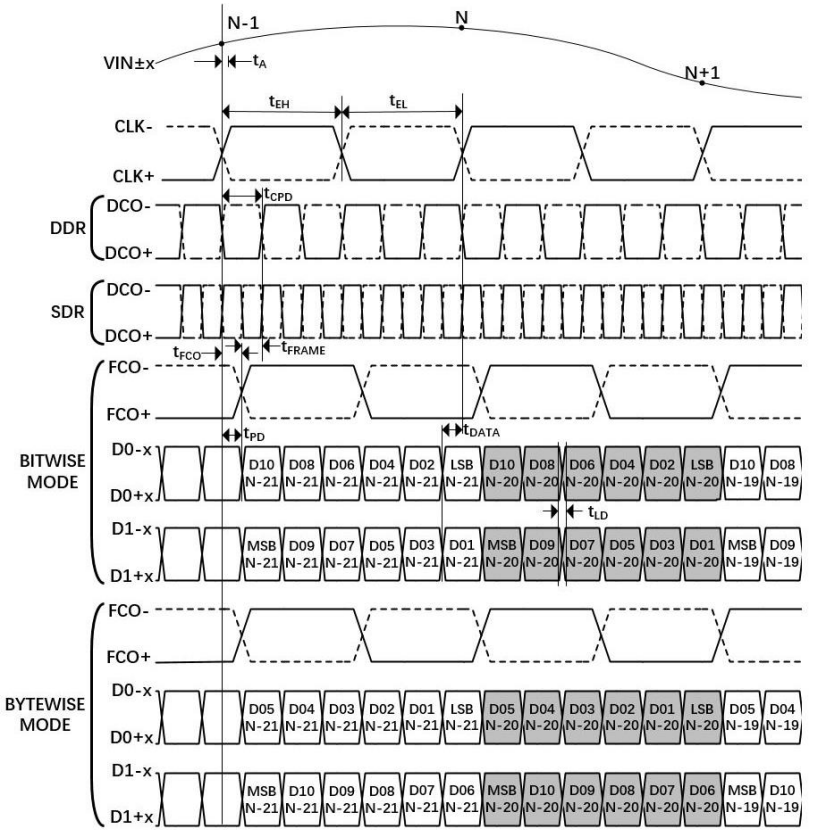


图 3 12-Bit DDR/SDR, Two-Lane, 1× Frame 工作时序图

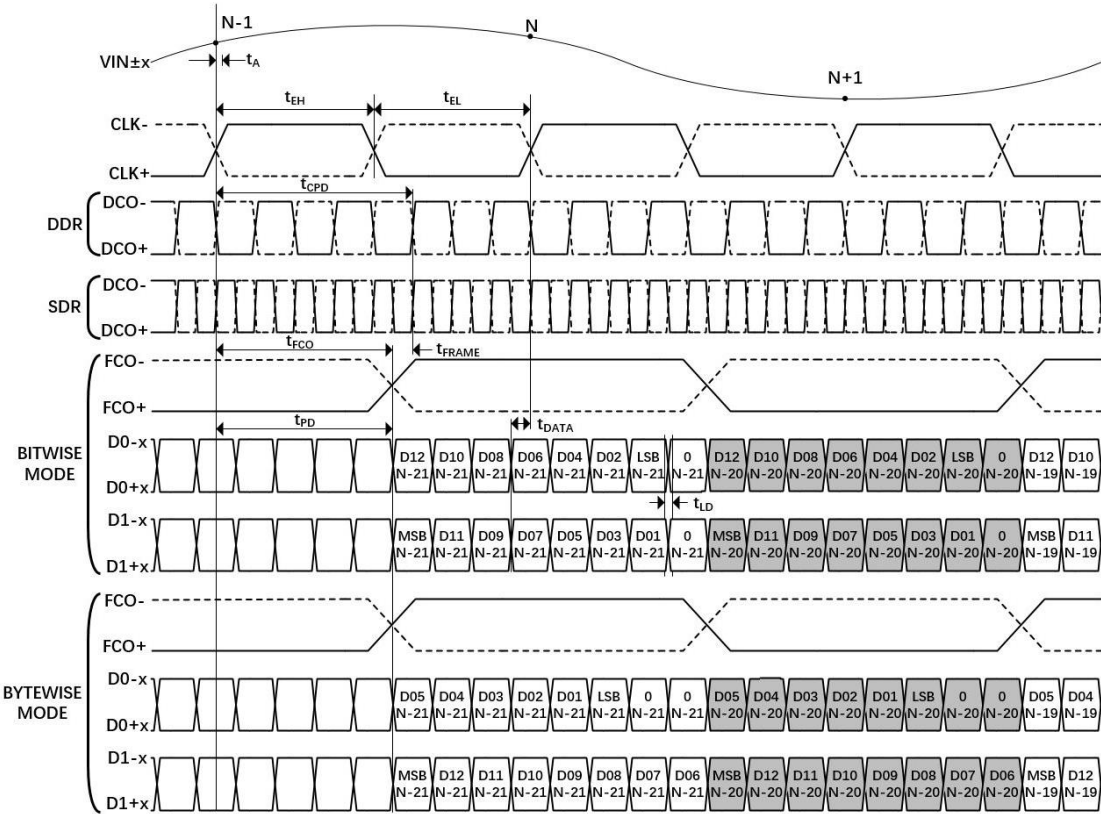


图 4 16-Bit DDR/SDR, Two-Lane, 2× Frame 工作时序图

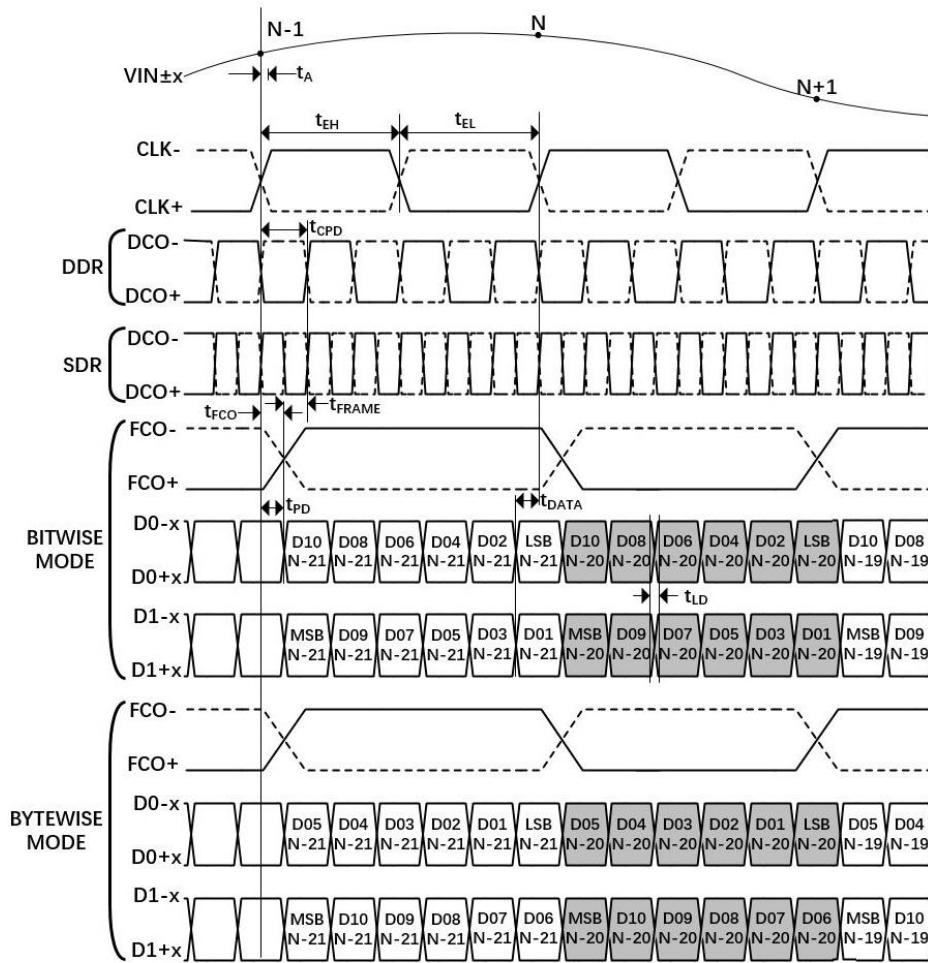


图 5 12-Bit DDR/SDR, Two-Lane, 2×Frame 工作时序图

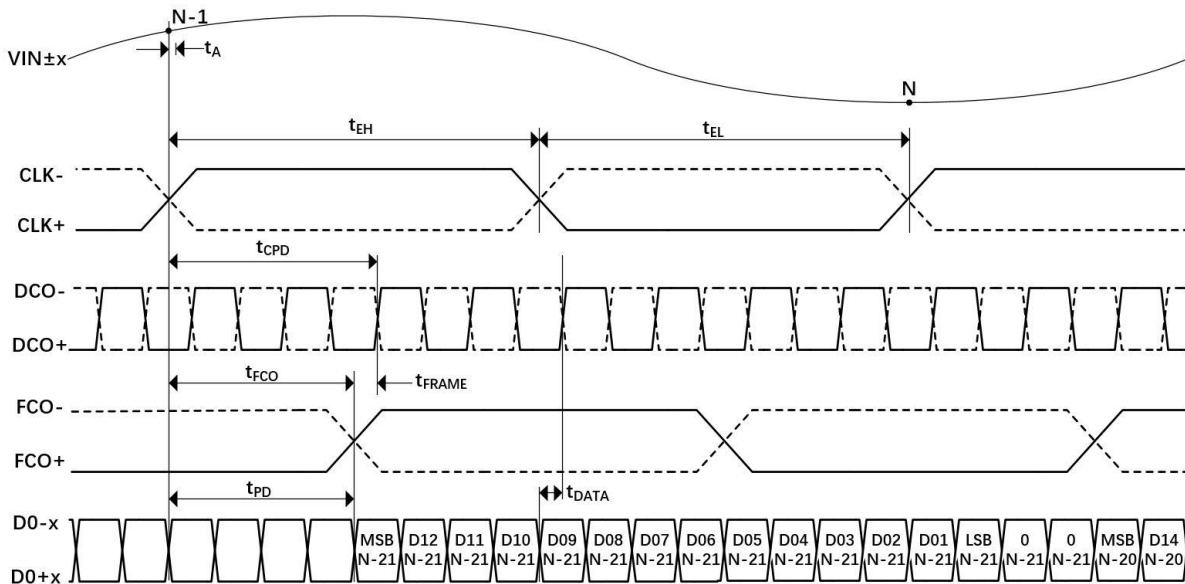


图 6 16-Bit DDR, One-Lane, 1×Frame 工作时序图

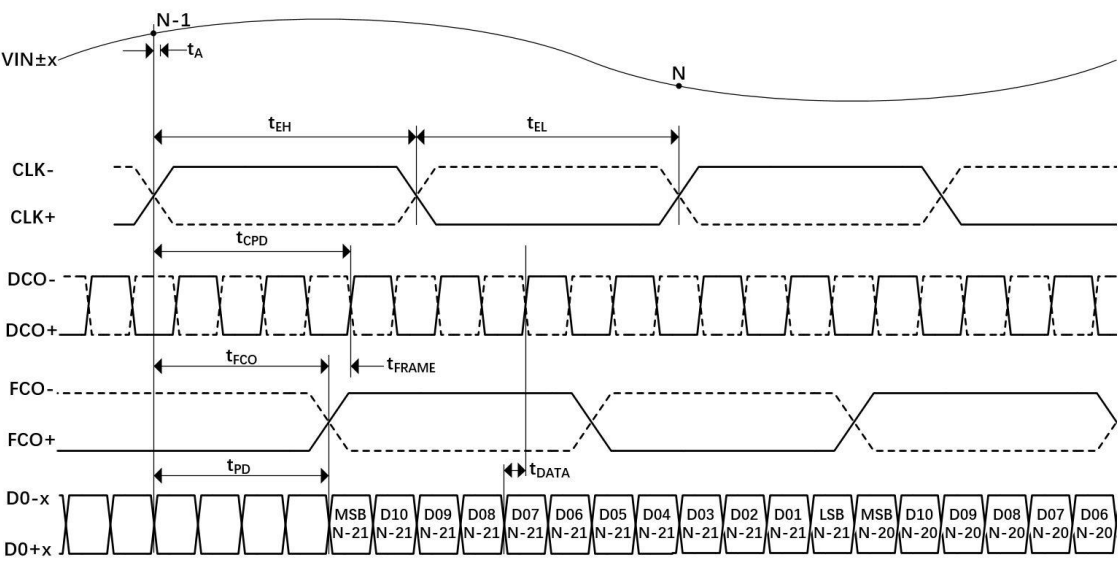


图 7 12-Bit DDR, One-Lane, 1×Frame 工作时序图

表 5 SPI 时序参数

参数	最小值	典型值	最大值	单位	描述
t_{DS}	2			ns	数据与 SCLK 上升沿之间的建立时间
t_{DH}	2			ns	数据与 SCLK 上升沿之间的保持时间
t_{CLK}	40			ns	SCLK 周期
t_s	2			ns	CSB 与 SCLK 之间的建立时间
t_H	2			ns	CSB 与 SCLK 之间的保持时间
t_{HIGH}	10			ns	SCLK 高电平脉冲宽度
t_{LOW}	10			ns	SCLK 低电平脉冲宽度

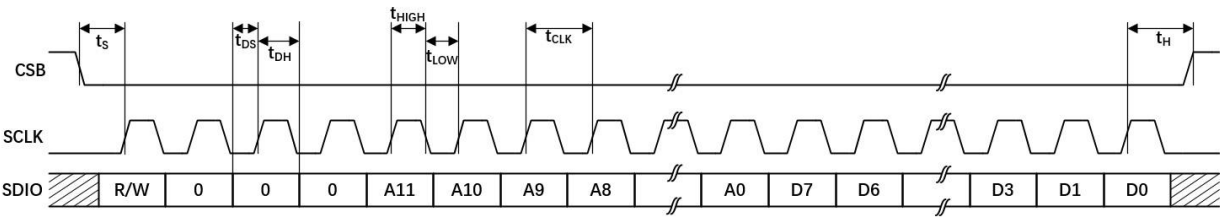


图 8 串行端口接口时序

极限参数

电源电压 (AVDD,DRVDD) 至 AGND.....	-0.3V 至 2V
输入电压(VIN+/-, CLK+/-, VREF, SENSE, VCM, RBIAS, CSB, SCLK, SDIO, PDWN).....	-0.3V 至 2V
输出电压(DCO,FCO,DxA/B/C/D).....	-0.3V 至 2V
最大结温 $T_{J,MAX}$	150 ℃
工作温度范围.....	-40 ℃ 至 85 ℃
存储温度范围.....	-65 ℃ 至 150 ℃
ESD(Human Body Model).....	2000V

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

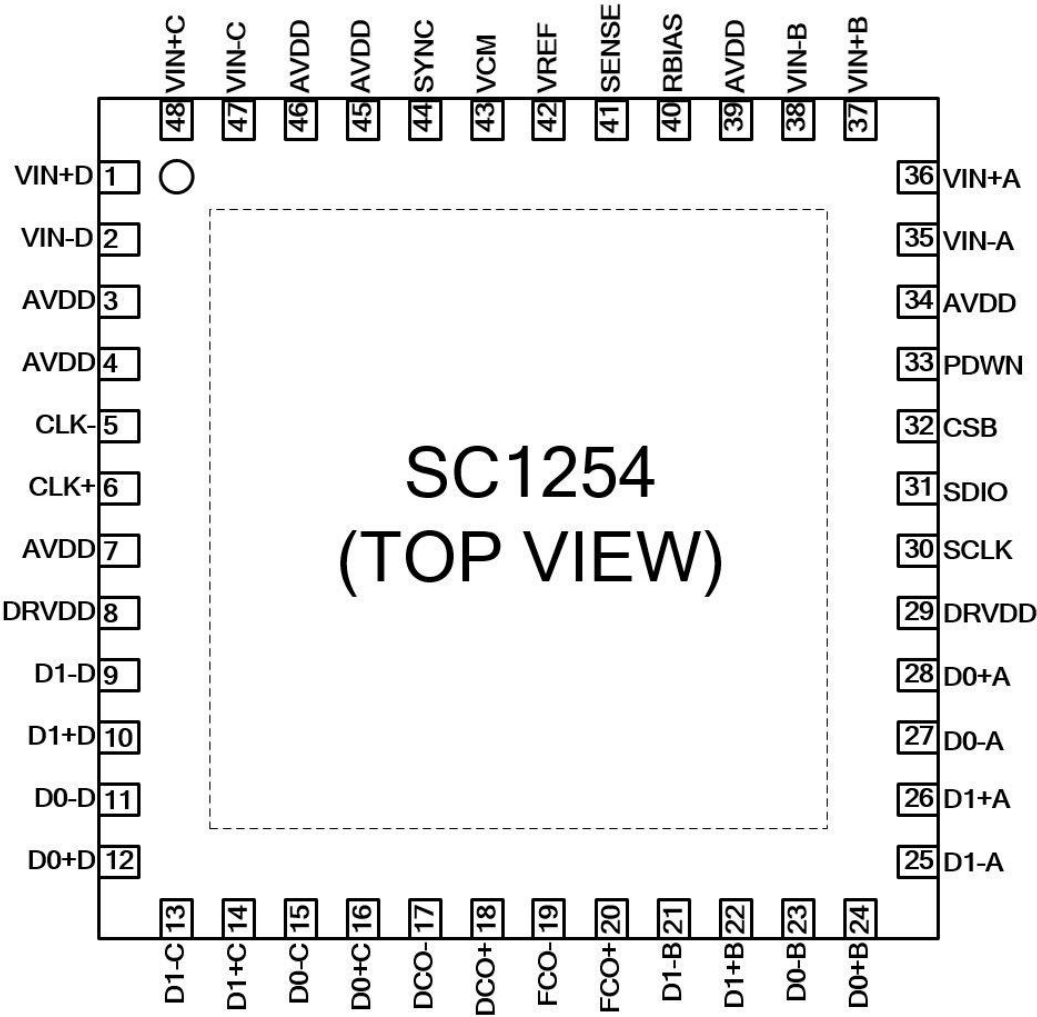


图 9 SC1254 管脚（焊盘）配置

表 6 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
0	AGND, Exposed Pad	G	模拟接地，封装底部焊盘为芯片提供模拟接地。底部焊盘必须接地以便ADC正常工作。
1	VIN+D	AI	通道D模拟输入+
2	VIN-D	AI	通道D模拟输入-
3, 4, 7, 34, 39, 45, 46	AVDD	P	模拟电源，1.8 V
5, 6	CLK-, CLK+	AI	差分时钟输入
8, 29	DRVDD	P	数字输出驱动电源，1.8V
9, 10	D1-D, D1+D	DO	通道D数字输出
11, 12	D0-D, D0+D	DO	通道D数字输出(D通道one-lane输出)
13, 14	D1-C, D1+C	DO	通道C数字输出
15, 16	D0-C, D0+C	DO	通道C数字输出(C通道one-lane输出)

引脚序号	引脚名称	引脚类型	引脚功能
17, 18	DCO-, DCO+	DO	数据时钟输出
19, 20	FCO-, FCO+	DO	帧时钟输出
21, 22	D1-B, D1+B	DO	通道B数字输出
23, 24	D0-B, D0+B	DO	通道B数字输出(B通道one-lane输出)
25, 26	D1-A, D1+A	DO	通道A数字输出
27, 28	D0-A, D0+A	DO	通道A数字输出(A通道one-lane输出)
30	SCLK	DI	SPI 时钟输入
31	SDIO	DIO	SPI 数据输入和输出
32	CSB	DI	SPI 芯片选择栏, 低电平使能, 内置30 k Ω 上拉电阻
33	PDWN	DI	数字输入, 内置30k Ω 下拉电阻
			PDWN high = 断电
			PDWN low = 设备运行, 正常操作
35	VIN-A	AI	通道A模拟输入-
36	VIN+A	AI	通道A模拟输入+
37	VIN+B	AI	通道B模拟输入+
38	VIN-B	AI	通道B模拟输入-
40	RBIAS	AI	模拟电流偏置, 外部需用10 k Ω (1%)电阻接地
41	SENSE	AI	参考模式选择
42	VREF	AIO	参考电压输入/输出
43	VCM	AO	模拟输入共模
44	SYNC	AI	数字输入, 同步输入时钟分频器
47	VIN-C	AI	通道C模拟输入-
48	VIN+C	AI	通道C模拟输入+

典型曲线

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、VIN=-1.0 dBFS 差分输入、1.0 V 内部基准电压。
如无特殊说明，TA=27 ℃，110M 采样。

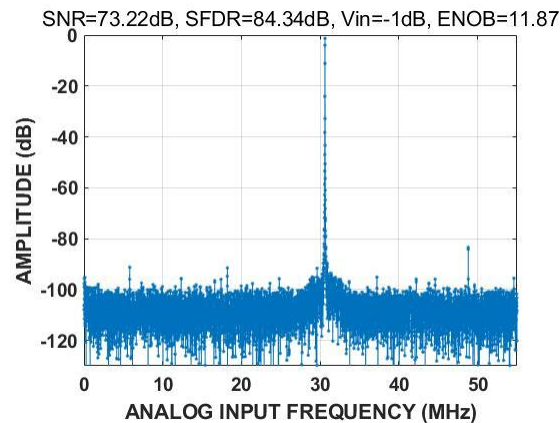


图 10 单音 FFT(fin = 30.5MHz@110MSps)

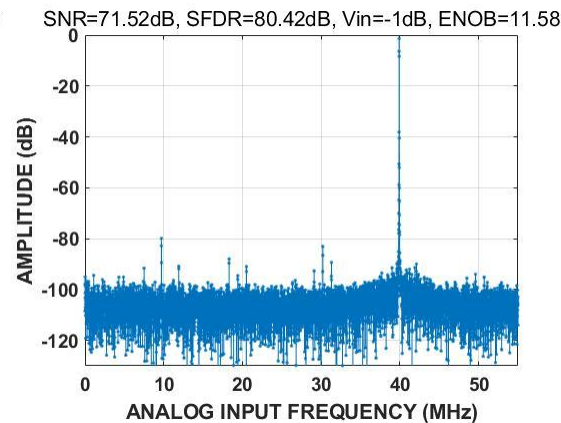


图 11 单音 FFT(fin = 70MHz@110MSps)

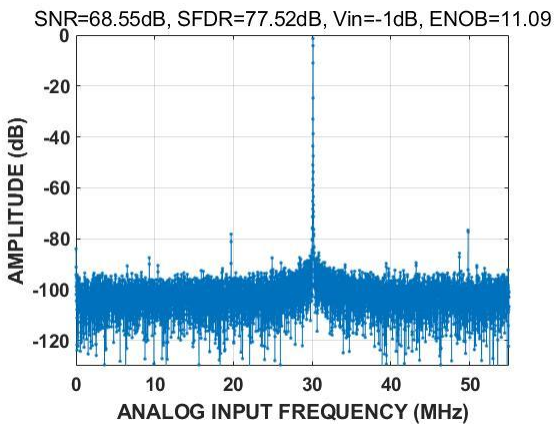


图 12 单音 FFT(fin = 140MHz@110MSps)

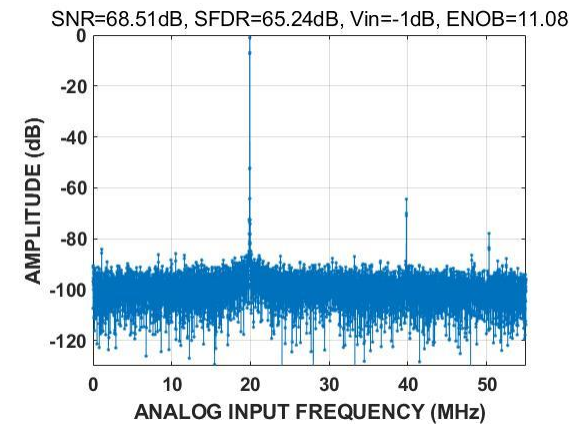


图 13 单音 FFT(fin = 200MHz110MSps)

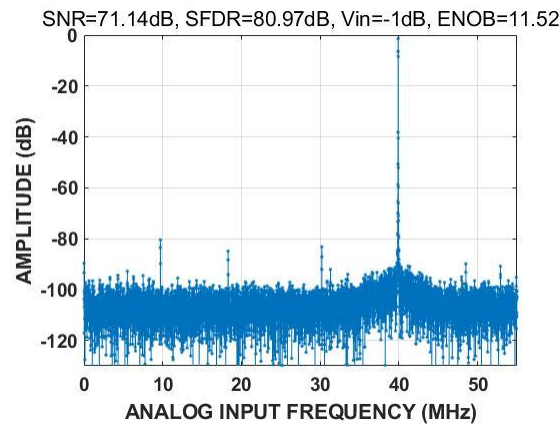


图 14 单音 FFT(fin = 70MHz@110MSps)低温(-40℃)

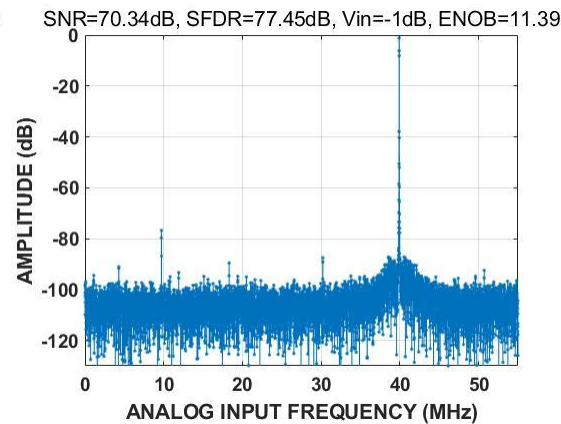


图 15 单音 FFT(fin = 70MHz@110MSps)高温(+125℃)

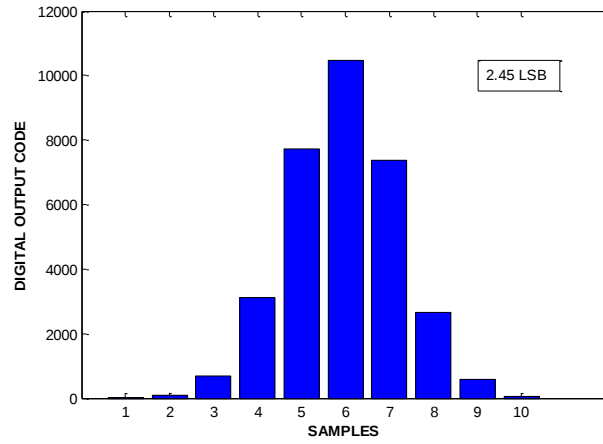


图 16 接地输入直方图

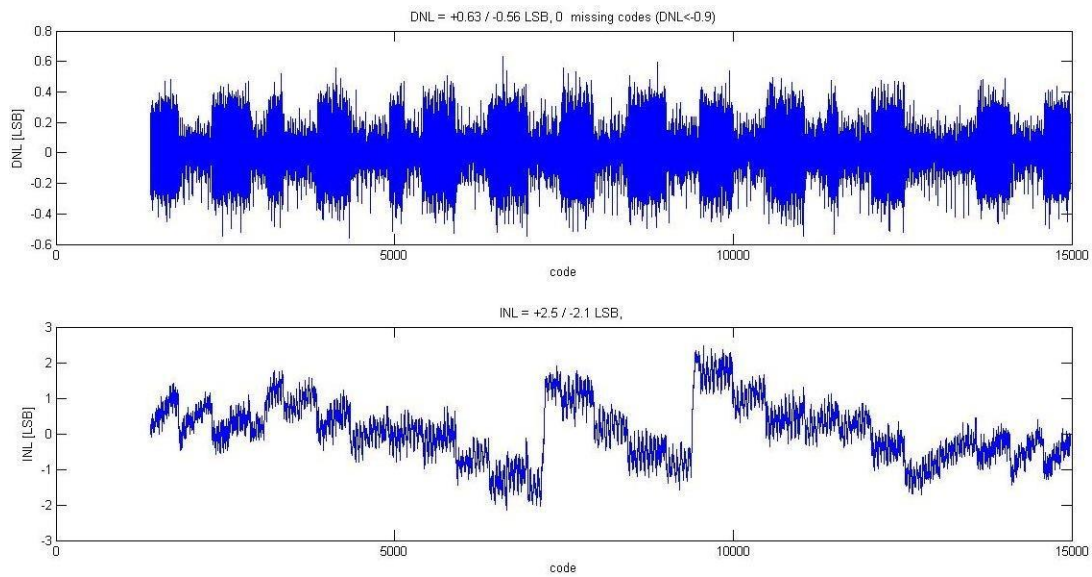


图 17 DNL/INL 误差

典型应用电路

SC1254 输入信号、输入时钟、外部直流引脚等外围器件的典型应用电路如下。

模拟输入网络

使用全差分模式可以保证 ADC 获得最佳性能。建议使用差分双巴伦配置来驱动 SC1254，此配置可以在基带应用提供了出色的性能（见图 18），也可以使用全差分运放替代巴伦来驱动 ADC。当输入频率处于第二或更高奈奎斯特区域时，大多数运放的噪声性能无法满足要求以达到 SC1254 真正的 SNR 性能，差动变压器耦合是推荐的输入配置（见图 19）。无论配置如何，并联电容器 C1 的值取决于输入频率，可能需要减小或移除。

在单端应用中使用 VIN-接共模电压，VIN+接输入信号的输入网络方式，单端应用中 ADC 性能会有所下降，因此不建议单端驱动 SC1254 输入。

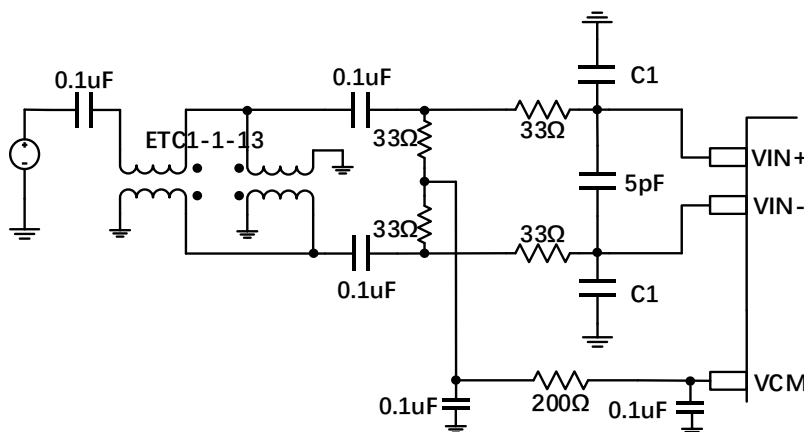


图 18 差分双巴伦输入配置

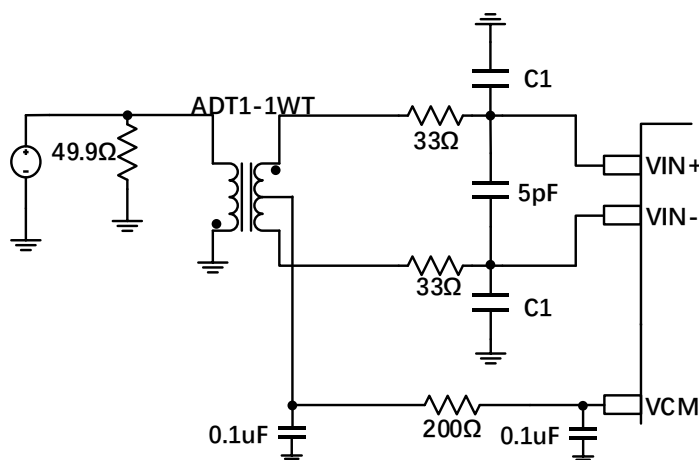


图 19 差动变压器耦合输入配置

时钟输入网络

为充分发挥芯片的性能，应利用一个差分信号作为 SC1254 采样时钟输入端（CLK+/-）的时钟信号。输入时钟电路内部存在偏置，无需外部偏置。建议使用巴伦驱动输入，如图 20 所示。跨接在变压器上的背对背肖特基二极管可以将输入到 SC1254 中的时钟信号限制为约差分 0.8V_{PP}。这样，既可以防止时钟的大电压摆幅馈通至其它部分，还可以保留信号的快速上升和下降时间，可以使时钟 jitter 更小对 ADC 的性能更有利。

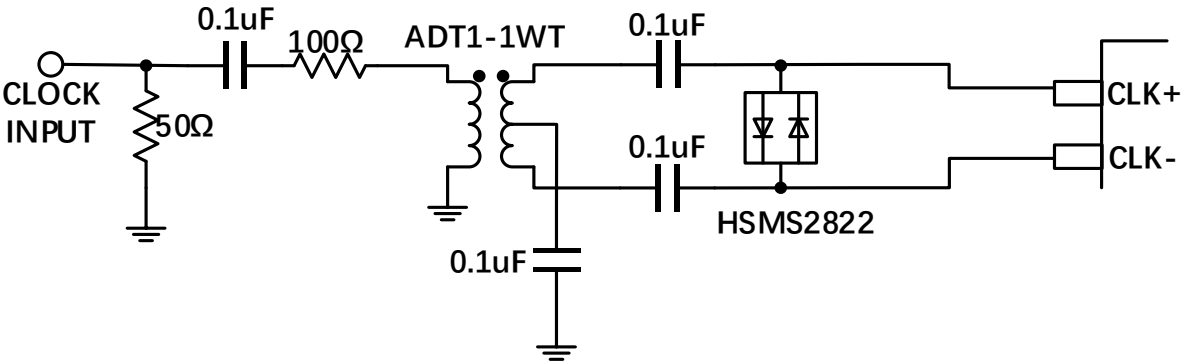


图 20 时钟输入配置

基准配置方式

SC1254 的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成两种不同的模式见表 7。如果 SENSE 引脚接地，选用内部 1V 基准电压，若 SENCE 电压接 AVDD，则选用外部基准电压，外部基准电压值为 1V。建议不要让 SENCE 引脚悬空。

表 7 基准电压配置汇总

所选模式	SENSE 电压	相应的 VREF (V)	相应的查分范围 (V _{pp})
外部基准电压	AVDD	1.0	2.0
内部基准电压	AGND to 0.2	1.0	2.0

数字输出格式

SC1254 输出驱动器为 1.8V CMOS 逻辑系列接口，时序如图 2 所示。输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路，驱动力可通过寄存器进行调整。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。因此，在那些需要 ADC 来驱动大容量负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。输出数据的格式默认为二进制补码，输出编码格式示例见表 8，输出数据的格式也可通过寄存器进行修改。

表 8 数据输出格式

输入 (V)	条件	偏移二进制模式	二进制补码模式
VIN+ - VIN-	< -VREF - 0.5LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	= -VREF	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ - VIN-	=0	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ - VIN-	=+VREF - 1LSB	1111 1111 1111 1100	0111 1111 1111 1100
VIN+ - VIN-	> +VREF - 0.5LSB	1111 1111 1111 1100	0111 1111 1111 1100

有12种数字输出测试模式可通过寄存器0x0D地址使能，这是验证接收机捕获时序的一个有用功能。有些测试模式有两个连续的字节，可以根据所选的测试模式以各种方式交替。请注意，有些模式不根据数据输出格式变化。有关12种输出测试码字选项，请参阅表9。此外，用户可以在0x19、0x1A、0x1B和0x1C寄存器地址中分配自定义的测试码字。

PN sequence short 产生伪随机比特序列，其每隔 2^9-1 或 511 比特重复一次。关于 PN 序列及其生成方式的描述，请参见 ITU-T0.150(05/96)标准的第 5.1 节。初始值全部为 1s(初始值见表 10)。输出是 MSB first 格式的串行 PN9 序列的并行表示。第一个输出字是 PN9 序列的前 14 位，采用 MSB 对齐形式。

PN sequence long 产生伪随机比特序列，其每 $2^{23}-1$ 或 8388607 比特重复一次。关于 PN 序列及其生成方式的描述，请参见 ITU-T0.150(05/96)标准的第 5.6 节。初始值全部为 1s（初始值见表 10），SC1254 根据 ITU 标准反转比特流。输出是 MSB first 格式的串行 PN23 序列的并行表示。第一个输出字是 PN23 序列的前 14 位，采用 MSB 对齐形式。

表 9 灵活的输出测试模式

输出测试模式	模式名称	数字输出字 1	数字输出字 2	输出格式	注释
0000	Off (default)	N/A	N/A	N/A	
0001	Midscale short	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown Offset binary code shown Offset binary code shown
0010	+Full-scale short	1111 1111 1111 (12-bit) 1111 1111 1111 1111 (16-bit)	N/A	Yes	
0011	−Full-scale short	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	N/A	Yes	
0100	Checkerboard	1010 1010 1010 (12-bit) 1010 1010 1010 1010 (16-bit)	0101 0101 0101 (12-bit) 0101 0101 0101 0101 (16-bit)	No	
0101	PN sequence long	N/A	N/A	Yes	PN23 ITU 0.150 $X^{23} + X^{18} + 1$ PN9 ITU 0.150 $X^9 + X^5 + 1$
0110	PN sequence short	N/A	N/A	Yes	
0111	One-/zero-word Toggle	1111 1111 1111 (12-bit) 1111 1111 1111 1100 (16-bit)	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	No	
1000	User input	Register 0x19 to Register 0x1A 1010 1010 1010 (12-bit)	Register 0x1B to Register 0x1C 1010 1010 1010 1000 (16-bit)	No	
1001	1-/0-bit toggle	0000 0011 1111 (12-bit) 0000 0001 1111 1100 (16-bit)	N/A	No	Pattern associated with the external pin
1010	1 × sync	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	No	
1011	One bit high		N/A	No	
1100	Mixed frequency	1010 0011 0011 (12-bit) 1010 0001 1001 1100 (16-bit)	N/A	No	

表 10 PN Sequence

序列	初始值	下三个输出样本（MSB 优先）两个补码
PN Sequence Short	0x1FE0	0x1DF1, 0x3CC8, 0x294E
PN Sequence Long	0x1FFF	0x1FE0, 0x2001, 0x1C00

有关如何通过 SPI 配置更改这些附加数字输出定时特性的信息，请参阅寄存器列表。

CSB Pin

对于不需要 SPI 模式操作的应用程序，CSB 引脚应与 DRVDD 相连。通过将 CSB 设为高，所有 SCLK 和 SDIO 信息都将被忽略，防止在芯片正常工作时被干扰。

RBIAS Pin

SC1254 要将一个 10 kΩ 电阻置于 RBIAS 引脚与地之间。该电阻用来设置 ADC 内核的主基准电流，该电阻容差至少为 1%。

输出测试模式

输出测试选项在表 9 中描述，并由地址 0x0D 处的输出测试模式位控制。当启用输出测试模式时，ADC 的模拟部分与数字后端块断开连接，测试模式通过输出格式块运行。有些测试模式受输出格式的约束，有些则不受限制。通过设置寄存器 0x0D 的位 4 或位 5，可以重置 PN 序列测试中的 PN 发生器。这些测试可以在模拟信号（如果存在，则忽略模拟信号）进行，但需要采样时钟保持正常输入。

串行端口接口（SPI）

SC1254 串行端口接口（SPI）允许用户利用配置 ADC 内部相应功能寄存器，以满足特定功能和操作的需要。通过串行端口，可访问地址空间、对地址空间进行读写。该 ADC 的 SPI 由三部分组成：SCLK 引脚、SDIO 引脚和 CSB 引脚。SCLK（串行时钟）引脚用于同步 ADC 的读出和写入数据；SDIO（串行数据输入/输出）双功能引脚允许将数据发送至内部寄存器或从寄存器中读出数据；CSB（片选信号）引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。时序要求如图 8 所示。

内部寄存器列表

表 11 寄存器列表

地址 (HEX)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x00	端口配置	0 =SDO active	LSB first	Soft reset	1:16-bit address	1:16-bit address	Soft reset	LSB first	0 =SDO active	0x18	默认设置是 16 位模式
0x01	芯片 ID	0x8F = quad 14-bit 80 MSPS/100 MSPS/110 MSPS serial LVDS								0x8F	只读
0x02	芯片等级		100 = 80 MSPS 101 = 100 MSPS 110 = 110 MSPS								只读
0x05	通道选择			Clock Channel DCO	Clock Channel FCO	Data Channel D	Data Channel C	Data Channel B	Data Channel A	0x3F	选择哪些通道接收命令 默认为所有通道
0x08	模式	External Power-down enable	Ext_pin function 0:full power-down 1:standby					00:chip run 01:full power-down 10:standby 11:digital reset		0x80	芯片工作状态选择
0x0B	时钟分频						Clock divide ratio[2:0] 000 = divide by 1 001 = divide by 1 010 = divide by 2 011 = divide by 3 100 = divide by 4 101 = divide by 5 110 = divide by 6 111 = divide by 7			0x00	时钟分频，默认为 1
0x0D	测试模式	User input test mode 00 = single 01 = alternate 10 = single once 11 = alternate once		Reset PN long sequence	Reset PN short sequence	Output test mode:0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN 23 sequence 0110 = PN 9 sequence 0111 = one/zero word toggle 1000 = user input 1001 = 1-/0-bit toggle 1010 = 1x sync 1011 = one bit high 1100 = mixed bit frequency				0x00	设置为测试模式后，输出引脚上的正常数据停止输出，测试数据将代替输出

SC1254

地址 (HEX)	寄存器 名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x10	偏移量调整	8-bit device offset adjustment [7:0] Offset adjust in LSBs from +127 to −128 (twos complement format)								0x00	偏移微调
0x14	ADC 输出模式		LVDS option 0=LVDS ANSI 1=LVDSI EEE reduced range link				Output Invert		0:offset binary 1: two's comple ment	0x01	配置输出和 数据格式
0x19	USER_P ATT1_L SB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义模 式， 1 LSB
0x1A	USER_P ATT1_M SB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义模 式， 1 MSB
0x1B	USER_P ATT2_L SB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义模 式， 2 LSB
0x1C	USER_P ATT2_M SB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义模 式， 2 MSB
0x21	串行输出 数据控制	LVDS output LSB first	SDR/DDR one-lane/two-lane, bitwise/bytewise[6:4] 000 = SDR two-lane, bitwise 001 = SDR two-lane, bytewise 010 = DDR two-lane, bitwise 011 = DDR two-lane, bytewise 100 = DDR one-lane				Select 2x frame	output number of bits 00:16 bits 10:12 bits		0x30	输出串行方 式控制
0x22	串行通道 状态							Channel output reset	Channel Power- down	0x00	用于关断转 换器的各部分 的电
0x33	串行输出 相位调节	FCO delay phase select			DCO delay phase select			[1]:invert FCO [0]:invert DCO Valid when 0x14[2] = 1'b0;		0x00	调 节 DCO 与 FCO 的 输出相位延 时
0x34	串行输出 调整			FCO Clock LVDS Load Select 3'b000: External R 3'b001: R=200 3'b010: R=100 3'b011: R=66.7 3'b100: R=50 3'b101: R=40 3'b110: R=33.3 3'b111: R=28.5			DCO Clock LVDS Load Select 3'b000: External R 3'b001: R=200 3'b010: R=100 3'b011: R=66.7 3'b100: R=50 3'b101: R=40 3'b110: R=33.3 3'b111: R=28.5			0x00	确定 LVDS 或其他输出 属性。
0x41	串行输出 调整	[7]:invert D1 LVDS [6]:invert D0 LVDS Valid when 0x14[2] = 1'b0;		For D1 LVDS 3'b000: External R 3'b001: R=200 3'b010: R=100 3'b011: R=66.7 3'b100: R=50 3'b101: R=40 3'b110: R=33.3 3'b111: R=28.5			For D0 LVDS 3'b000: External R 3'b001: R=200 3'b010: R=100 3'b011: R=66.7 3'b100: R=50 3'b101: R=40 3'b110: R=33.3 3'b111: R=28.5			0x00	确定 LVDS 或其他输出 属性。

地址 (HEX)	寄存器 名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x35	串行输出 调整					12/16bit 1x FCO: 4'd1 16bit 2x FCO: 4'd5 12bit 2x FCO: 4'd4 frame clock phase shift 4'b0000:no shift 4'b0001:shift one clock period				0x01	FCO 时 钟 调整
0x42	串行输出 相位调节			D1 delay phase select			D0 delay phase select			0x00	用于 调 节 D0 与 D1 的 相位延时
0x102	I/O 控制					VCM Power- down				0x00	VCM 控制
0x109	SYNC							SYNC only first pulse	SYNC enable	0x00	

应用信息

电源和接地建议

建议使用两个独立的 1.8V 电源为 SC1254 供电：一个用于模拟电源 AVDD，一个用于数字输出电源 DRVDD。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以屏蔽高频和低频噪声。去耦电容应放置在接近器件引脚的位置，并尽可能缩短走线长度。SC1254 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 AGND。PCB 上裸露的连续铜平面应与 SC1254 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。

VCM

VCM 引脚应通过一个 0.1uF 电容去耦至地。

基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1uF 陶瓷电容和一个低 ESR 1.0uF 电容的并联去耦至地。

SPI 端口

当需要转换器充分发挥其全动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 SC1254 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

数据输出

因电路结构问题，如有数据输出延时固定需求，则有上电时序要求（需先上 DRVDD 的电间隔 ms 级延时之后再给 AVDD 上电，然后对 0x3D 地址写 0x20,再将 0x3D 地址配置为 0x00）。若需通道间数据同步输出，则需对数据输出 path 进行复位(即对 0x08 地址写 0x03，再将 0x08 地址配置为 0x00 即可)。

外形尺寸

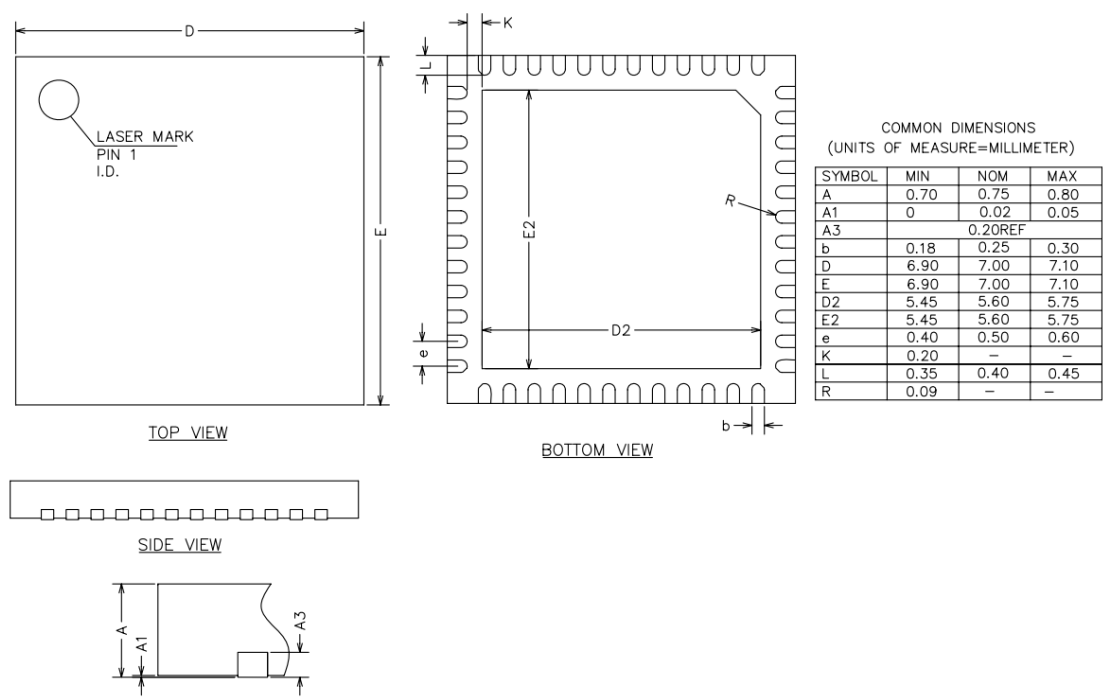


图 21 48 脚 QFN 封装尺寸图

订购信息

物料编号	温度范围	封装类型	包装形式
SC1254GDLUMZ-80	-40 ~ 85℃	QFN-48	Tray
SC1254GDLUMZ-100	-40 ~ 85℃	QFN-48	Tray
SC1254GDLUMZ-110	-40 ~ 85℃	QFN-48	Tray

根据客户需求可以定制封装