主要性能

- 1.8V 电源供电
- 1.8V 至 3.3V 输出电源
- 低功耗：

  每个通道 29mW (20MSPS)

  每个通道 59mW (80MSPS)
- 信噪比(SNR)：

  61.6dBFS（30.5MHz 输入）

  60.7dBFS（200MHz 输入）
- 无杂散动态范围（SFDR）：

  79dBc（30.5MHz 输入）

  71dBc（200MHz 输入）
- 微分非线性(DNL)：±0.11LSB(典型值)
- 片内基准电压源和采样保持电路
- QFN-64 封装 9mm×9mm

应用场合

- 通信
- 分集无线电系统
- 多模式数字接收器
- I/Q 解调系统
- 智能天线系统
- 电池供电仪表
- 手持式示波器
- 便携式医疗成像
- 超声
- 雷达/LIDAR
- 功能模块示意图：

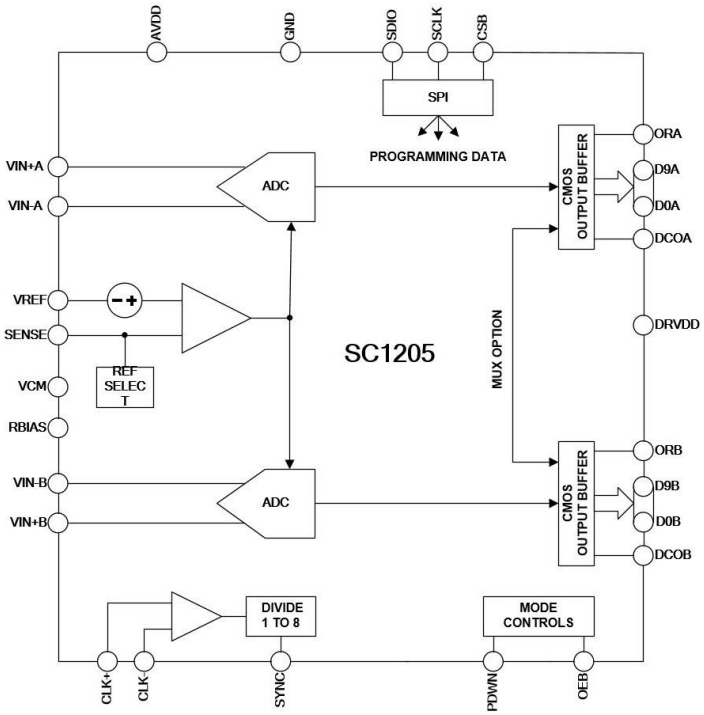

图 1 芯片模块示意图

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

产品概况

SC1205 是一款单芯片、双通道、10 位、20MSPS/40MSPS/65MSPS/80MSPS 模数转换器（ADC），采用 1.8V 电源供电，内置高性能采样保持电路和片内基准电压源。

该产品采用多级差分流水线架构，内置输出纠错逻辑，在 80 MSPS 数据速率时可提供 10 位精度，并保证在整个工作温度范围内无失码。该 ADC 内置多种功能特性，可使器件的灵活性达到最佳、系统成本最低，例如可编程时钟与数据对准、生成可编程数字测试码等。可获得的数字测试码包括内置固定码和伪随机码，以及通过串行端口接口(SPI)输入的用户自定义测试码。

采用一个差分时钟输入来控制所有内部转换周期。数字输出数据格式为偏移二进制、格雷码或二进制补码。每个 ADC 通道均有一个数据输出时钟(DCO)，用来确保接收逻辑具有正确的锁存时序。该器件支持 1.8V 和 3.3V 两种 CMOS 电平，输出数据可以在单条输出总线上多路复用。

SC1205 采用符合 RoHS 标准的 64 引脚的 QFN 封装。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

ADC 直流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、80MSps 采样率，VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 1 ADC 直流特性

参数	温度	最小值	典型值	最大值	单位
分辨率			10		位
无失码	全		保证		
失调误差	全		±0.1	±0.7	%FSR
增益误差	全		+1.8		%FSR
微分非线性（DNL）[1]	全 25℃		 ±0.11	±0.3	LSB LSB
积分非线性（INL）[1]	全 25℃		 ±0.25	±0.6	LSB LSB
内部基准电压误差	全		±5		mV
输入端参考噪声（VREF=1V）	25℃		0.08		LSB rms
模拟输入范围（VREF=1V）	全		2		Vpp
输入电容 [2]	全		4		pF
输入共模电压	全		0.95		V
AVDD 电源电压	全	1.7	1.8	1.9	V
DRVDD 电源电压	全	1.7		3.6	V
I_{AVDD} 电源电流	全		68.5	86	mA
I_{DRVDD1} 电源电流（1.8V） I_{DRVDD2} 电源电流（3.3V）	全		5.2 11.1		mA mA
直流输入功耗	25℃		118		mW
正弦波输入功耗 [1] （DRDVV=1.8V） 正弦波输入功耗 [1] （DRDVV=3.3V）	全		131 143.3		mW mW
关断功耗	25℃		2		mW

1 测量条件为：10MHz输入频率、满量程正弦波、每个输出位的负载约为5pF。

2 输入电容指一个差分输入引脚与AGND之间的有效电容。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

ADC 交流特性

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、80MSps 采样、VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 2 ADC 交流特性

参数	温度	最小值	典型值	最大值	单位
信噪比（SNR）					
f_{in}=30.5MHz	25℃		61.6		dBFS
f_{in}=70MHz	25℃		61.2		dBFS
	全	60.5			dBFS
f_{in}=140MHz	25℃		60.9		dBFS
f_{in}=200MHz	25℃		60.7		dBFS
信纳比（SNDR）					
f_{in}=30.5MHz	25℃		61.5		dBFS
f_{in}=70MHz	25℃		61.1		dBFS
	全	60.2			dBFS
f_{in}=140MHz	25℃		60.6		dBFS
f_{in}=200MHz	25℃		60		dBFS
有效位数（ENOB）					
f_{in}=30.5MHz	25℃		9.9		位
f_{in}=70MHz	25℃		9.8		位
	全	9.7			位
f_{in}=140MHz	25℃		9.8		位
f_{in}=200MHz	25℃		9.6		位
无杂散动态范围（三次谐波）					
f_{in}=30.5MHz	25℃		82		dBc
f_{in}=70MHz	25℃		91		dBc
	全	82.7			dBc
f_{in}=140MHz	25℃		82.9		dBc
f_{in}=200MHz	25℃		72.5		dBc
无杂散动态范围（二次谐波）					
f_{in}=30.5MHz	25℃		82.2		dBc
f_{in}=70MHz	25℃		88.8		dBc
	全	86.5			dBc
f_{in}=140MHz	25℃		77.4		dBc
f_{in}=200MHz	25℃		72.3		dBc
串扰 [4]	全		-100		dB
模拟输入带宽	25℃		700		MHz

4串扰的测量条件：一个通道输入参数为-1dBFS、70MHz信号且相邻通道上无输入信号。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

数字规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、80MSps 采样、VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 3 数字规格参数

参数	温度	最小值	典型值	最大值	单位
差分时钟输入（CLK+/-）					
逻辑兼容	全		CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压	全	0.2		3.6	V
输入电压范围	全	GND-0.3		AVDD+0.2	V
输入电阻	全		8		kΩ
输入电容	全		3.5		pF
逻辑输入（PDWN,SYNC,SCLK,CSB,SDIO）					
逻辑 1 电压	全	1.2		DRVDD+0.3	V
逻辑 0 电压	全	0		0.8	V
输入电阻	全		26		kΩ
输入电容	全		2		pF
数字输出					
DRVDD = 1.8V					
逻辑 1 电压	全	1.79			V
逻辑 0 电压	全			0.2	V
DRVDD = 3.3V					
逻辑 1 电压	全	3.29			V
逻辑 0 电压	全			0.2	V
编码格式（默认）			偏移二进制		

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

时序规格

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、80MSps 采样、VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。

表 4 开关参数

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全			625	MHz
转换速度	全			80	MHz
孔径延时（t_A）	全		1		ns
孔径抖动	全		0.1		ps rms
数据输出参数					
t_A	全		1		ns
t_{CH}	全		6.25		ns
$t_{C0.1LK}$	全		12.5		ns
t_{DCO}	全		3		ns
t_{PD}	全		3		ns
t_{SKEW}	全		0.1		ns

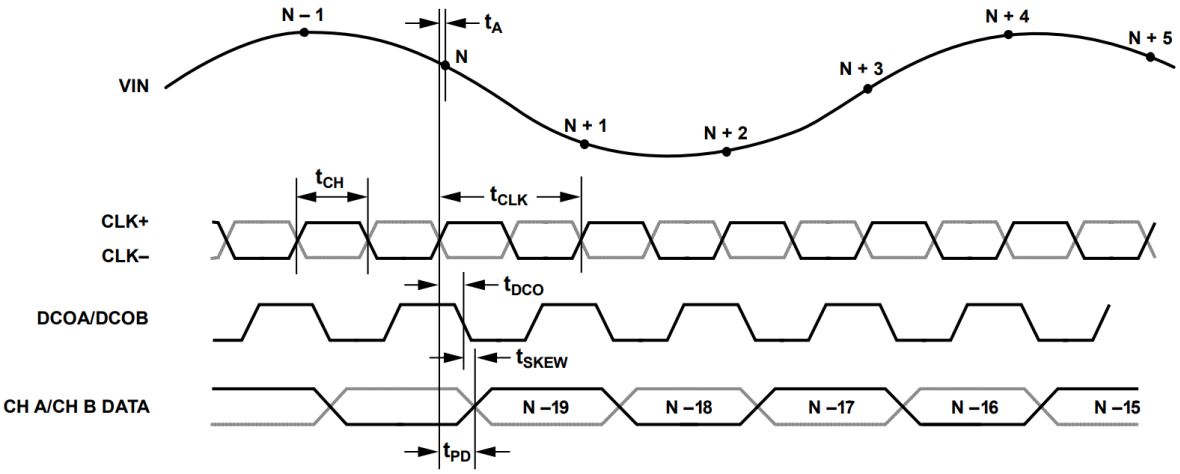

图 2 CMOS 输出时序图

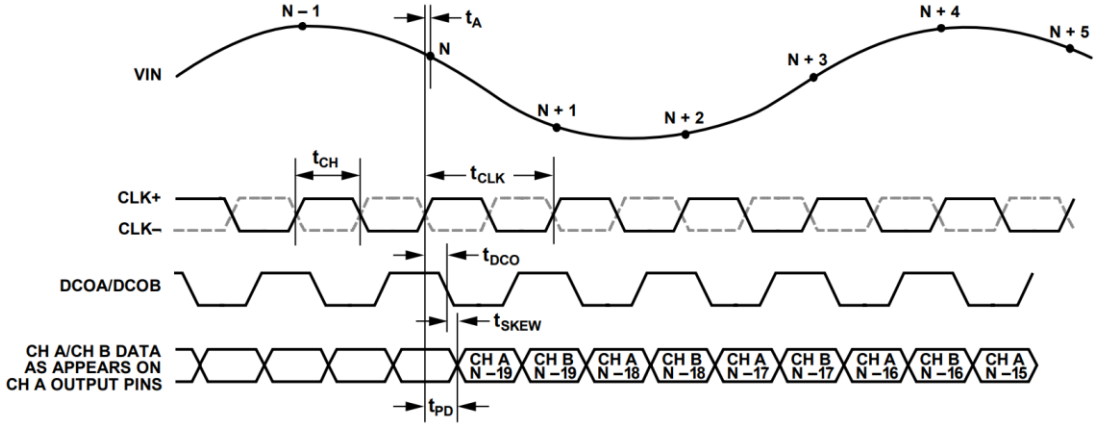

图 3 CMOS 双路交织输出时序图(通道 A 输出引脚上显示的输出)

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

表 5 SPI 时序参数

参数	条件	限值
t_{DS}	数据与 SCLK 上升沿之间的建立时间	2ns，最小值
t_{DH}	数据与 SCLK 上升沿之间的保持时间	2ns，最小值
t_{CLK}	SCLK 周期	40ns，最小值
t_S	CSB 与 SCLK 之间的建立时间	2ns，最小值
t_H	CSB 与 SCLK 之间的保持时间	2ns，最小值
t_{HIGH}	SCLK 高电平脉冲宽度	10ns，最小值
t_{LOW}	SCLK 低电平脉冲宽度	10ns，最小值

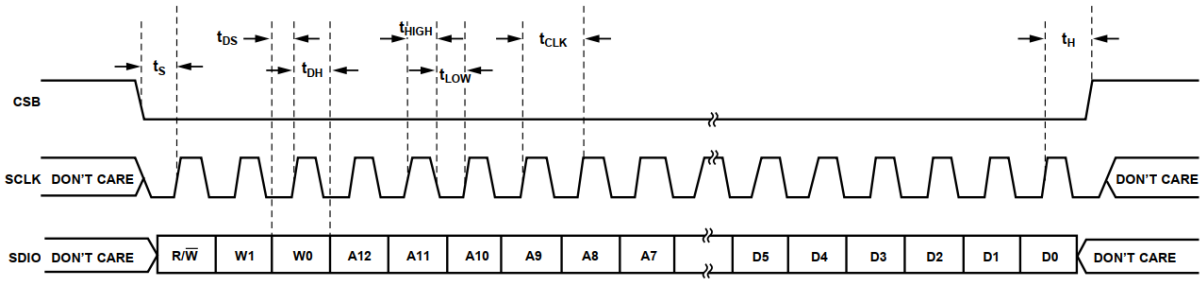

图 4 串行端口接口时序

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

极限参数

AVDD 至 AGND ……−0.3V 至 2V

DRVDD 至 AGND ……−0.3V 至 3.9V

输入电压(VIN+/-, CLK+/-, VREF, SENSE, VCM, RBIAS)… −0.3V 至 AVDD+0.2V

输入电压(CSB, SCLK, SDIO, PDWN) ……−0.3V 至 DRVDD+0.3V

输出电压(DCOA,DCOB,D0A/D0B 至 D13A/D13B)……−0.3V 至 DRVDD+0.3V

最大结温 $T_{J,MAX}$……150°C

工作温度范围……−40 ℃ 至 85 ℃

存储温度范围…… −65 ℃ 至 150 ℃

ESD(Human Body Model) ……2000V

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能会对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。

ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

管脚(焊盘)配置及功能说明

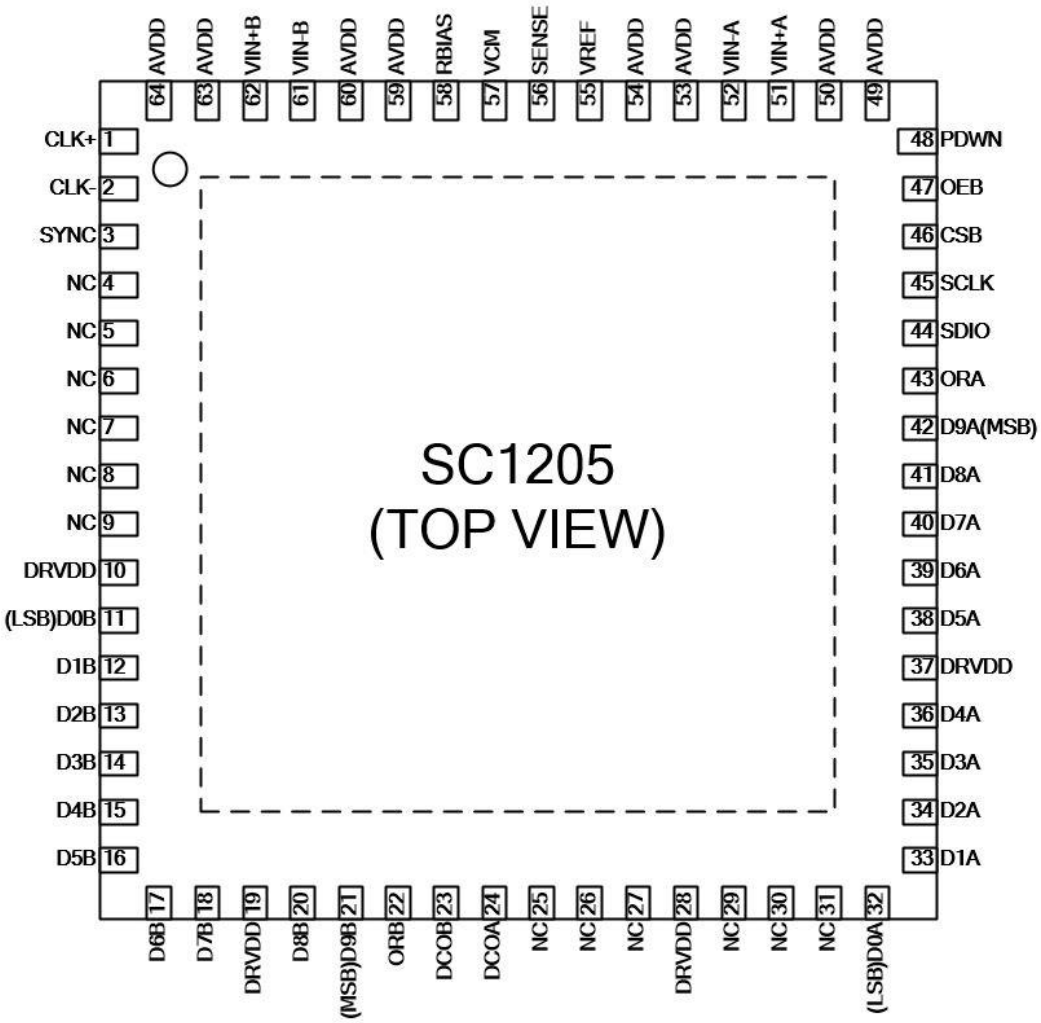

图 5 管脚（焊盘）配置

表 6 管脚定义

序号	名称	功能
0	GND	模拟接地，焊盘裸露。封装底部焊盘为芯片提供模拟接地。这个裸露焊盘必须接地以便正常工作。
1,2	CLK−, CLK+	差分时钟输入
3	SYNC	数字输入，同步输入时钟分频器
4 to 9,25 to 27, 29 to 31	NC	Do Not Connect.
11 to 18, 20, 21	D0B to D9B	通道B数字输出
10, 19, 28, 37	DRVDD	数字输出驱动电压源，1.8V到3.3V
22	ORB	通道B数字输出超出范围

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

23	DCOB	通道B数据时钟输出
24	DCOA	通道A数据时钟输出
32 to 36, 38 to 42	D0A to D9A	通道A数字输出
43	ORA	通道A数字输出超出范围
44	SDIO	SPI 数据输入和输出
45	SCLK	SPI 时钟输入
46	CSB	SPI 芯片选择栏，低使能运行， 30 kΩ 内部上拉
47	OEB	数字输入。如果低，启用通道A和通道B数字输出；如果高，启用三态输出。30kΩ内部下拉。
33	PDWN	数字输入，30kΩ内部下拉
		PDWN high =断电
		PDWN low = 设备运行，正常操作
49, 50, 53, 54, 59, 60, 63, 64	AVDD	模拟电源，1.8 V
51,52	VIN+A,VIN−A	通道A模拟输入
55	VREF	参考电压输入/输出
56	SENSE	参考模式选择
57	VCM	模拟输入共模
58	RBIAS	模拟电流偏置，用10 kΩ (1%)电阻接地
61,62	VIN−B,VIN+B	通道B模拟输入

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

典型曲线

除非另有说明，AVDD=1.8 V、DRVDD=1.8 V、VIN=−1.0 dBFS 差分输入、1.0 V 内部基准电压。如无特殊说明，T_A=27 ℃，80M 采样。

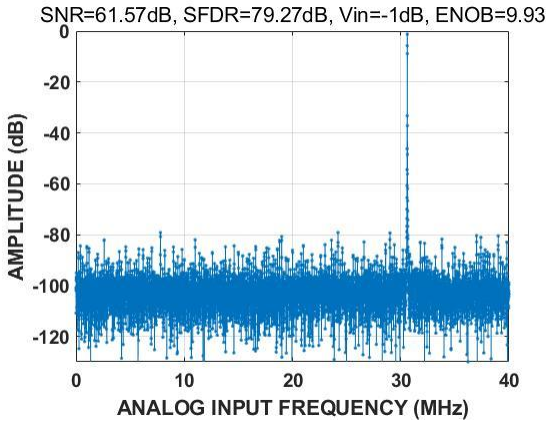

图 6 单音 FFT(fin = 30.5MHz@80MSps)

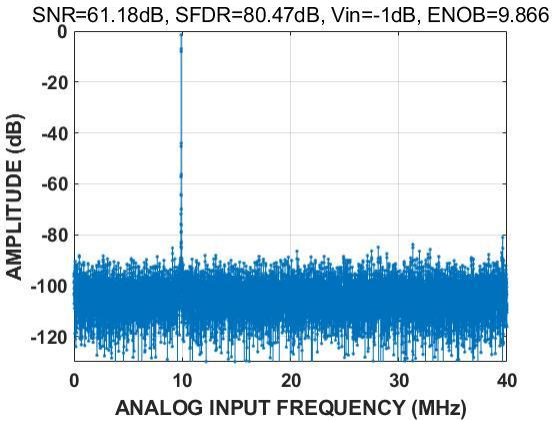

图 7 单音 FFT(fin = 70MHz@80MSps)

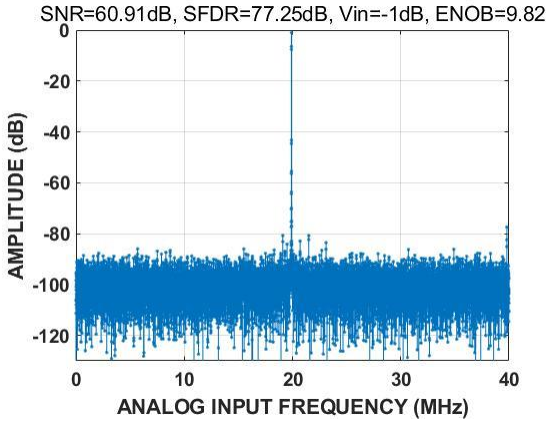

图 8 单音 FFT(fin = 140MHz@80MSps)

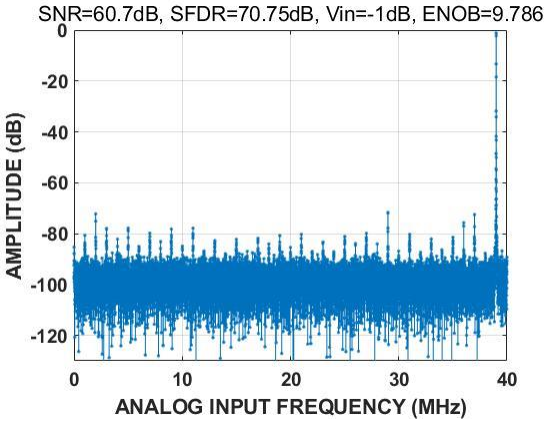

图 9 单音 FFT(fin = 200MHz@80MSps)

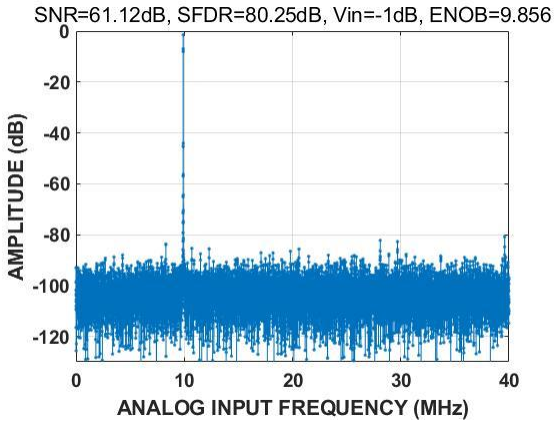

图 10 单音 FFT(fin = 70MHz@80MSps)高温(125℃)

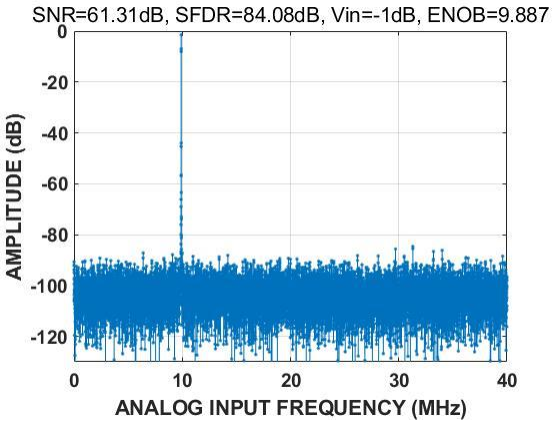

图 11 单音 FFT(fin = 70MHz@80MSps)低温(-40℃)

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

典型应用电路

SC1205 输入信号、输入时钟、外部直流引脚等外围器件的典型应用电路如下。

模拟输入网络

ADC 的最佳性能是通过差分驱动模拟输入来实现的。对于低于~10 MHz 的基带应用，信噪比是一个关键参数，建议采用差动变压器耦合的输入配置(见图 13)，为了偏置模拟输入，VCM 电压可以连接到变压器二次绕组的中心抽头。在第二奈奎斯特区及以上的输入频率下，大多数放大器的噪声性能不足以达到 SC1205 的真实信噪比性能。对于大于~10MHz 的应用，信噪比是一个关键参数，建议采用差分双巴伦耦合作为输入配置（见图 12）。

使用 AIN-接共模电压，AIN+接输入信号的输入网络方式，该种输入方式会导致芯片 SNR 变差，因此不建议单端驱动 SC1205 输入。

在任何配置中，并联电容器 C 的值取决于输入频率和源阻抗，可能需要减小或移除。表 7 显示了设置 RC 网络的建议值。但是，这些值取决于输入信号，应仅用作启动指南。

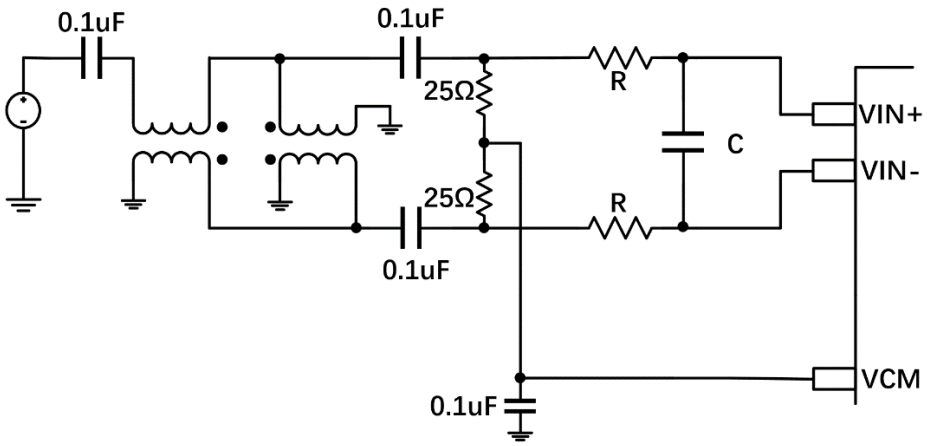

图 12 差分双巴伦输入配置

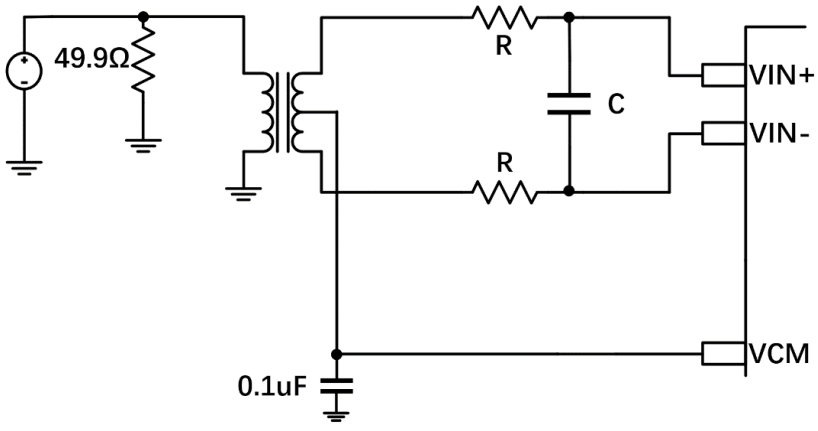

图 13 差动变压器耦合输入配置

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

表 7 RC 网络示例

频率范围（MHz）	R(Ω)	C 差动（pF）
0 to 70 70 to 200	33 125	22 Open

时钟输入网络

为充分发挥芯片的性能，应利用一个差分信号作为 SC1205 采样时钟输入端（CLK+/-）的时钟信号。输入时钟引脚有内部偏置，无需外部偏置。建议采样射频变压器配置，如图 14 所示。跨接在变压器上的背对背肖特基二极管可以将输入到 SC1205 中的时钟信号限制为约差分 0.8V 峰峰值。这样，既可以防止时钟的大电压摆幅馈通至其它部分，还可以保留信号的快速上升和下降时间，这一点对低抖动性能来说非常重要。

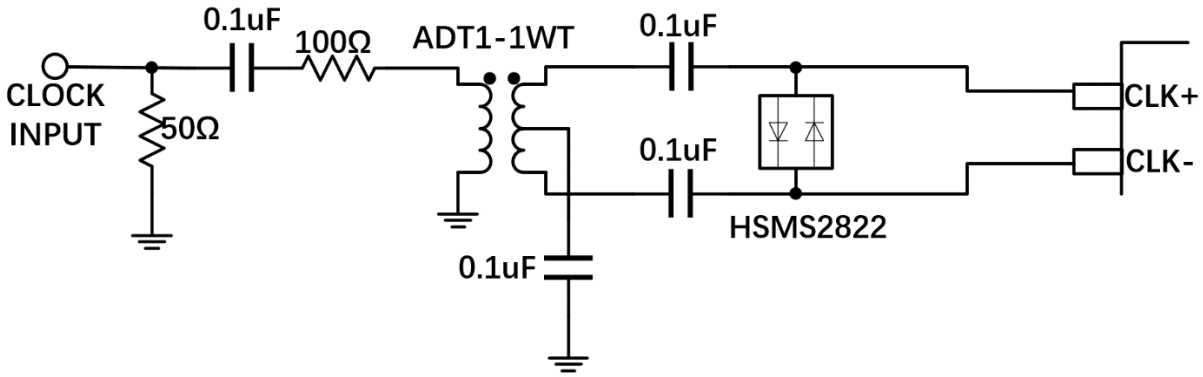

图 14 时钟输入配置

基准配置方式

SC1205 的内置比较器可检测出 SENSE 引脚的电压，从而将基准电压配置成两种不同的模式见表 8。如果 SENSE 引脚接地，则基准放大器开关参考放大器开关连接到内部电阻分压器在内部将 VREF 设为 1.0 V，如果 SC1205 的内部基准用于驱动多个转换器以提高增益匹配，则必须考虑其他转换器对基准的加载。当 SENSE 脚连接到 AVDD 时，内部基准电压被禁用，允许使用外部基准电压，外部基准电压必须限制在 1.0 V 的最大值。建议不要让 SENSE 引脚浮动。

表 8 基准电压配置汇总

所选模式	SENSE 电压	相应的 VREF（V）	相应的差动范围（Vpp）
外部基准电压 内部基准电压	AVDD AGND to 0.2	1.0（应用于外部 VREF 引脚） 1.0（内部）	2.0 2.0

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

数字输出格式

SC1205 输出驱动器为 1.8V 至 3.3V CMOS 逻辑系列接口，输出数据也可以多路复用到单个输出总线上，以减少所需的记录道总数，时序如图 2 所示。输出驱动器应能够提供足够的输出电流，以便驱动各种逻辑电路，驱动力可通过寄存器进行调整。然而，大驱动电流可能导致在电源信号中产生毛刺脉冲，影响转换器的性能。因此，在那些需要 ADC 来驱动大容性负载或较大扇出的应用中，可能需要用到外部缓冲器或锁存器。

表 9 数据输出格式

输入（V）	条件	偏移二进制模式	二进制补码模式	溢出
VIN+ - VIN-	< -VREF – 0.5LSB	00 0000 0000 0000	10 0000 0000 0000	1
VIN+ - VIN-	= -VREF	00 0000 0000 0000	10 0000 0000 0000	0
VIN+ - VIN-	=0	10 0000 0000 0000	00 0000 0000 0000	0
VIN+ - VIN-	=+VREF – 1LSB	11 1111 1111 1111	01 1111 1111 1111	0
VIN+ - VIN-	> +VREF – 0.5LSB	11 1111 1111 1111	01 1111 1111 1111	1

数字输出启用功能（OEB）

SC1205 具有灵活的数字输出引脚三态能力。使用 OEB 引脚或通过 SPI 接口启用三态模式。如果 OEB 引脚低，则会启用输出数据驱动程序和 DCO。如果 OEB 引脚高，输出数据驱动程序和 DCO 处于高阻抗状态。此 OEB 功能不用于快速访问数据总线。注意 OEB 是指数字输出驱动器电源（DRVDD），不应超过该电源电压。当使用 SPI 接口时，通过使用寄存器 0x14 中的输出禁用（OEB）位（位 4），每个信道的数据输出和 DCO 可以独立的三态输出。

时序

SC1205 提供锁存数据的流水线延迟为 9 个时钟周期。数据输出在时钟信号上升沿后一个传播延迟（t_{PD}）可用。最小化输出数据线的长度和施加在它们上的负载，以减少 SC1205 中的瞬态。这些瞬态会降低转换器的动态性能。SC1205 的最低典型转换率为 3 MSPS。在时钟速率低于 3 毫秒/秒时，动态性能可能会降低。

数据时钟输出（DCO）

SC1205 提供两个数据时钟输出（DCO）信号，用于捕获外部寄存器中的数据。除非通过 SPI 改变了 DCO 时钟极性，否则 CMOS 数据输出在 DCO 上升沿有效。参见图 2 和图 3 以获取图形化的时序描述。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

内建自测试（BIST）

BIST 是对所选 SC1205 信号路径的数字部分的彻底测试。复位后执行 BIST 测试，以确保部件处于已知状态。在 BIST 期间，来自内部伪随机噪声（PN）源的数据从 ADC 块输出开始，通过两个通道的数字数据路径驱动。在数据路径输出处，CRC 逻辑根据数据计算签名。BIST 序列运行 512 个周期，然后停止。一旦完成，BIST 会将签名结果与预先确定的值进行比较。如果签名匹配，BIST 设置寄存器 0x24 的位 0，表示测试通过。如果 BIST 测试失败，寄存器 0x24 的位 0 被清除。在这个测试过程中，输出是连接的，因此可以观察到 PN 序列运行。将值 0x05 写入寄存器 0x0E 运行 BIST。这将启用寄存器 0x0E 的位 0（BIST 启用），并重置 PN 序列生成器，寄存器 0x0E 的位 2（BIST INIT）。在 BIST 完成时，寄存器 0x24 的位 0 被自动清除。通过在寄存器 0x0E 的位 2 中写入 0，可以从最后一个值继续 PN 序列。但是，如果 PN 序列没有重置，则签名计算不等于测试结束时的预定值。此时，用户需要依赖于验证输出数据。

输出测试模式

表 10 描述了地址 0x0D 处的输出测试选项。当启用输出测试模式时，ADC 的模拟部分与数字后端块断开连接，测试模式通过输出格式化块运行。一些测试模式受输出格式的约束，而有些则不是。通过设置寄存器 0x0D 的位 4 或位 5，可以重置来自 PN 序列测试的 PN 发生器。这些测试可以使用或不使用模拟信号（如果存在，则忽略模拟信号），但它们确实需要编码时钟。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

串行端口接口（SPI）

SC1205 串行端口接口（SPI）允许用户利用配置 ADC 内部相应功能寄存器，以满足特定功能和操作的需要。通过串行端口，可访问地址空间、对地址空间进行读写。该 ADC 的 SPI 由三部分组成：SCLK 引脚、SDIO 引脚和 CSB 引脚。SCLK（串行时钟）引脚用于同步 ADC 的读出和写入数据；SDIO（串行数据输入/输出）双功能引脚允许将数据发送至内部寄存器或从寄存器中读出数据；CSB（片选信号）引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。时序要求如图 4 所示。

内部寄存器列表

表 10 寄存器列表

地址 (HEX)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x00	端口配置	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	LSB 或 MSB 模式寄存器
0x01	芯片 ID	chip ID 0x25								0x25	用于区分设备的唯一芯片 ID；只读
0x02	芯片等级		000 = 20 MSPS 001 = 40 MSPS 010 = 65 MSPS 011=80MSPS								区分设备的唯一速度等级 ID；只读
0x05	通道选择							Data Channel B	Data Channel A	0x03	确定芯片上哪个通道接收下一个写入命令；默认值是片上所有通道
0x08	模式	External Power-down enable	External pin function 0x00full power-down 0x01 standby					00 = chip run 01 = full power-down 10 = standby 11 = digital reset		0x80	确定芯片操作的各种通用模式
0x0B	时钟分频						Clock divide ratio[2:0] 000 = divide by 1 001 = divide by 1 010 = divide by 2 011 = divide by 3 100 = divide by 4 101 = divide by 5 110 = divide by 6 111 = divide by 7			0x00	

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

地址 (HEX)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x0D	测试模式	User input test mode 00 = single 01 = alternate 10 = single once 11 = alternate once		Reset PN long sequence	Reset PN short sequence	Output test mode:0000 = off (default) 0001 = midscale short 0010 = positive FS 0011 = negative FS 0100 = alternating checkerboard 0101 = PN 23 sequence 0110 = PN 9 sequence 0111 = one/zero word toggle 1000 = user input 1001 = 1-/0-bit toggle 1010 = 1x sync 1011 = one bit high 1100 = mixed bit frequency				0x00	设置后测试数据被放在输出引脚上代替正常数据
0x0E	BIST enable						BIST INIT		BIST enable	0x00	是否启动 BIST 功能
0x10	偏移量调整	8-bit device offset adjustment [7:0] Offset adjust in LSBs from +127 to −128 (twos complement format)								0x00	偏移微调
0x14	ADC 输出模式	00 = 3.3 V CMOS 10 = 1.8 V CMOS			Output disable		Output Invert	00 = offset binary 01 = twos complement 10 = gray code 11 = offset binary		0x00	配置输出和数据格式
0x15	输出调整	3.3 V DCO drive strength 00 = 1 stripe (default) 01 = 2 stripes 10 = 3 stripes 11 = 4 stripes		1.8 VDCO drive strength 00 = 1 stripe 01 = 2 stripes 10 = 3 stripes (default) 11 = 4 stripes		3.3 V data drive strength 00 = 1 stripe (default) 01 = 2 stripes 10 = 3 stripes 11 = 4 stripes		1.8 V data drive strength 00 = 1 stripe 01 = 2 stripes 10 = 3 stripes(default) 11 = 4 stripes		0x22	确定 CMOS 输出驱动强度特性
0x16	输出相位	DCO output polarity 0 = normal 1 = inverted				Input clock phase adjust [2:0] (Value is number of input clock cycles of phase delay) 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles				0x00	在使用全局时钟分频的设备上，确定分频器输出的哪个相位用于提供输出时钟；内部锁存不受影响
0x17	输出延时		DATA_Delay 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns				DCO_Delay 000 = 0.56 ns 001 = 1.12 ns 010 = 1.68 ns 011 = 2.24 ns 100 = 2.80 ns 101 = 3.36 ns 110 = 3.92 ns 111 = 4.48 ns			0x00	这设置输出时钟的精细输出延迟，但不会改变内部定时
0x19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义模式，1 LSB

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

地址 (HEX)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值 (HEX)	注释
0x1A	USER_PATT1_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义模式，1 MSB
0x1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	用户定义模式，2 LSB
0x1C	USER_PATT2_MSB	B15	B14	B13	B12	B11	B10	B9	B8	0x00	用户定义模式，2 MSB
0x24	MISR_LSB								B0	0x00	MISR 的最低有效字节；只读
0x2A	特征								OR Output Enable	0x01	禁用索引通道的 OR 引脚
0x2E	输出分配								0 = ADC A 1 = ADC B	Ch A = 0x00 Ch B = 0x01	将 ADC 分配给输出通道
0x3C	交织模式控制						Interleaved output enable			0x00	Interleave 模式控制
0x100	Sync 控制						Clock divider next sync only	Clock divider sync enable	Master sync enable	0x01	
0x101	USR2	Enable OEB Pin 47								0x80	

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

应用信息

电源和接地建议

建议使用两个独立的电源为 SC1205 供电：一个用于模拟端 AVDD，一个用于数字输出端 DRVDD。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。SC1205 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 AGND。PCB 上裸露的连续铜平面应与 SC1205 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。

VCM

VCM 引脚应通过一个 0.1uF 电容去耦至地。

RBIAS

SC1205 要求用户将一 10 kΩ 电阻置于 RBIAS 引脚与地之间。该电阻用来设置 ADC 内核的主基准电流，该电阻容差至少为 1%。

基准电压源去耦

VREF 引脚应通过外部一个低 ESR 0.1uF 陶瓷电容和一个低 ESR 1.0uF 电容的并联去耦至地。

SPI 端口

当需要转换器充分发挥其全动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 SC1205 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

数据输出

因电路结构问题，如有数据输出延时固定需求，则有上电时序要求（需先上 DRVDD 的电间隔 ms 级延时之后再给 AVDD 上电）。若需通道间数据同步输出，则需对数据输出 path 进行复位(即对 0x08 地址写 0x03，再将 0x08 地址配置为 0x00 即可)。

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/

订购信息

物料编号	温度范围	封装类型	包装形式
SC1205GDLUMZ-20	-40 ~ 85℃	QFN-64	Tray
SC1205GDLUMZ-40	-40 ~ 85℃	QFN-64	Tray
SC1205GDLUMZ-65	-40 ~ 85℃	QFN-64	Tray
SC1205GDLUMZ-80	-40 ~ 85℃	QFN-64	Tray

注：根据客户需求可以定制封装

外形尺寸

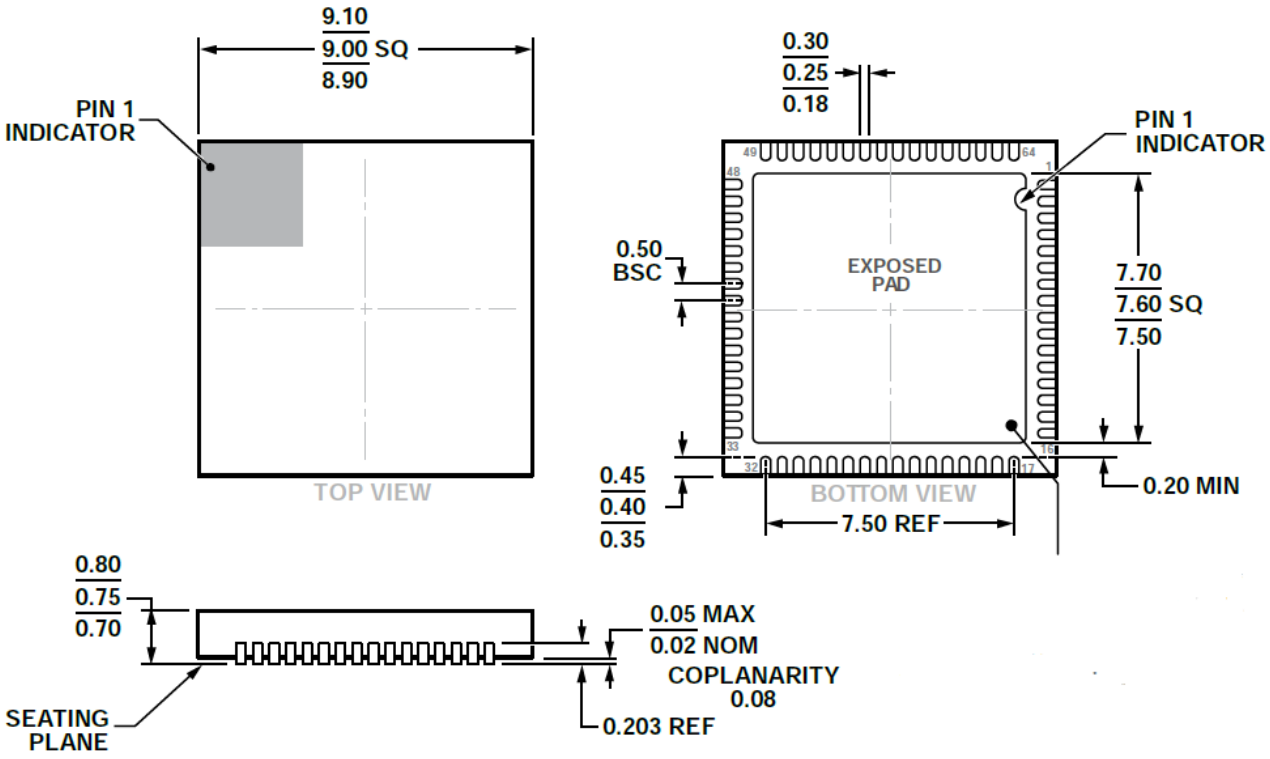

图 15 64 脚 QFN 封装尺寸图

上海芯炽科技集团有限公司所有，未经允许，不得外传

代理商：锦锋科技 http://www.szkingfrom.com/